

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    5 月 2 6 日  
Date of Application:

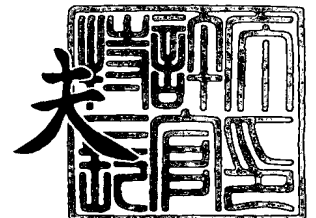
出 願 番 号                      特 願 2 0 0 3 - 1 4 7 9 0 0  
Application Number:  
[ST. 10/C] :                      [ J P 2 0 0 3 - 1 4 7 9 0 0 ]

出      願      人                      コニカミノルタビジネステクノロジーズ株式会社  
Applicant(s):

2 0 0 4 年    1 月 1 9 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 4 - 3 0 0 0 8 7 8

【書類名】 特許願

【整理番号】 DKY01231

【提出日】 平成15年 5月26日

【あて先】 特許庁長官 殿

【国際特許分類】 H04N 1/40

【発明者】

【住所又は居所】 東京都八王子市石川町 2 9 7 0 番地 コニカビジネステクノロジーズ株式会社内

【氏名】 東井 満男

【特許出願人】

【識別番号】 303000372

【氏名又は名称】 コニカビジネステクノロジーズ株式会社

【代理人】

【識別番号】 100090033

【弁理士】

【氏名又は名称】 荒船 博司

【手数料の表示】

【予納台帳番号】 027188

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像形成装置の管理システム

【特許請求の範囲】

【請求項 1】

画像形成装置と、通信ネットワークを介して前記画像形成装置を管理する管理装置から構成される画像形成装置の管理システムであって、

前記管理装置は、前記画像形成装置に対し、動作試験を指示する信号を送信する通信部を備え、

前記画像形成装置は、

前記管理装置からの動作試験指示に応じて、試験用の画像に対し、所定の画像処理を施す画像処理回路と、

前記画像処理が施された画像を印刷用紙に印刷出力する印刷出力部と、

前記印刷出力部により印刷用紙上に印刷出力された画像を読み取る読取部と、

前記読取部により読み取られた画像と、予め決められた期待画像を比較することにより、前記画像処理回路が正常に動作するか否かを判定する判定部と、

前記判定部における判定結果を前記管理装置に送信する通信部と、

を備えることを特徴とする画像形成装置の管理システム。

【請求項 2】

前記管理装置の通信部は、前記画像処理回路における画像処理の演算手順を示す設定値のデータと、当該画像処理を行うための演算パラメータのデータを前記画像形成装置に更に送信し、

前記画像処理回路は、

前記所定の画像処理を行うための複数の演算モジュールと、

前記複数の演算モジュールの各々の出力段に接続され、クロック信号の信号変化のタイミングで、前記複数の演算モジュールの各々からの出力データを取り込んで保持する複数の出力保持回路と、

前記管理装置から送信された前記演算パラメータのデータを記憶する演算パラメータ記憶回路と、

前記管理装置から送信された前記演算手順を示す設定値のデータを記憶する演

算手順記憶回路と、

前記複数の演算モジュールの各々の入力段に接続され、前記演算手順記憶回路に記憶された演算手順の設定値に従って、画像処理対象の画像データ、前記演算パラメータを示すデータ及び前記複数の出力保持回路の各々の出力データの中から択一的にデータを選択し、選択したデータを後段に接続された演算モジュールに出力するセレクタと、

を備えることを特徴とする請求項 1 に記載の画像形成装置の管理システム。

### 【請求項 3】

前記画像形成装置は、前記画像処理回路が動作可能な周波数を測定する動作周波数測定部を備え、

前記動作周波数測定部は、

前記画像処理装置を動作させるための、任意の周波数のクロック信号を生成するクロック生成部と、

前記クロック生成部により生成されたクロック信号で前記画像処理回路が正常に動作するか否かを判定するクロック動作判定部と、を備え、

前記画像形成装置の通信部は、前記クロック動作判定部による判定結果を前記管理装置に更に送信することを特徴とする請求項 1 又は 2 に記載の画像形成装置の管理システム。

### 【請求項 4】

前記画像処理回路は、

前記読取部により読み取られた画像から、当該画像の特徴点を検出する特徴点検出部と、

前記特徴点検出部により検出された前記画像の特徴点から、当該画像の位置ずれ量を算出する位置ずれ演算部と、

前記位置ずれ演算部により算出された位置ずれ量に基づいて、印刷出力対象の画像の位置ずれを補正する処理を行う補正処理部と、を備え、

前記印刷出力部は、前記補正処理部により位置ずれが補正された画像を印刷出力することを特徴とする請求項 1 ～ 3 の何れか一項に記載の画像形成装置の管理システム。

**【請求項 5】**

前記印刷出力部は、感光体ドラム、レーザ光照射装置、ポリゴンミラーを備え、電子写真方式で印刷出力することを特徴とする請求項 1 ～ 4 の何れか一項に記載の画像形成装置の管理システム。

**【請求項 6】**

前記管理装置は、

前記画像形成装置で行われた各種の動作試験に関する情報を保持する情報保持部と、

前記情報保持部により保持された情報に基づいて、前記画像形成装置に課する管理費用を算出する料金演算部と、

を備えることを特徴とする請求項 1 ～ 5 の何れか一項に記載の画像形成装置の管理システム。

**【発明の詳細な説明】****【 0 0 0 1 】****【発明の属する技術分野】**

本発明は、画像形成装置と、通信ネットワークを介して画像形成装置を管理する管理装置から構成される画像形成装置の管理システムに関する。

**【 0 0 0 2 】****【従来の技術】**

一般に、複写機等の画像形成装置における画像処理（フィルタ演算、色変換等）では、R A M の容量及び回路規模が大きく、高速処理が必要とされているため、C P U によるソフト処理、F P G A（Field Programmable Gate Array）、C P L D（Complex Programmable Logic Device）を用いずに、A S I C（Application Specific Integrated Circuit）等のデジタル回路が適用されている。画像処理用の A S I C は、回路規模が大規模であるため、数千万円の開発費用と、数ヶ月の試作期間が必要とされている。また、このような A S I C の設計時には、各種演算に必要なパラメータを任意の値に設定できるようにするなど、汎用的な設計が求められている（例えば、特許文献 1 参照。）。

**【 0 0 0 3 】**

**【特許文献 1】**

特開平 1 0 - 1 6 2 1 3 8 号公報

**【0 0 0 4】****【発明が解決しようとする課題】**

しかしながら、画像処理用の A S I C の開発後に、その A S I C を複写機に搭載して画質評価を行う場合、機械的又はプロセス的な問題により、画像処理の演算アルゴリズムの変更等、仕様変更が必要な場合、ほんの些細な変更であっても、数ヶ月にも及ぶ試作期間、莫大な再開発費及び人件費が必要になってしまうという問題があった。また、複写機の出荷後には、機械特性、プロセス特性の経年変化、部品の経年変化、故障等により、正常動作していないにも関わらず、使用されている場合がある。このような事態を避けるためには、複写機の動作試験を、定期的又は必要に応じて行う必要があるが、会社、学校に設置された各複写機を個別に、人手により試験する仕組みになっていたため、複写機の動作試験においても、多大な手間と費用が必要になってしまうという問題があった。

**【0 0 0 5】**

本発明の課題は、遠隔から通信ネットワークを介して、画像形成装置における画像処理回路の動作試験、機能変更を可能にすることである。

**【0 0 0 6】****【課題を解決するための手段】**

上記課題を解決するため、請求項 1 記載の発明は、画像形成装置と、通信ネットワークを介して前記画像形成装置を管理する管理装置から構成される画像形成装置の管理システムであって、前記管理装置は、前記画像形成装置に対し、動作試験を指示する信号を送信する通信部を備え、前記画像形成装置は、前記管理装置からの動作試験指示に応じて、試験用の画像に対し、所定の画像処理を施す画像処理回路と、前記画像処理が施された画像を印刷用紙に印刷出力する印刷出力部と、前記印刷出力部により印刷用紙上に印刷出力された画像を読み取る読取部と、前記読取部により読み取られた画像と、予め決められた期待画像を比較することにより、前記画像処理回路が正常に動作するか否かを判定する判定部と、前記判定部における判定結果を前記管理装置に送信する通信部と、を備えることを

特徴としている。

#### 【 0 0 0 7 】

請求項 2 に記載の発明は、請求項 1 に記載の発明において、前記管理装置の通信部は、前記画像処理回路における画像処理の演算手順を示す設定値のデータと、当該画像処理を行うための演算パラメータのデータを前記画像形成装置に更に送信し、前記画像処理回路は、前記所定の画像処理を行うための複数の演算モジュールと、前記複数の演算モジュールの各々の出力段に接続され、クロック信号の信号変化のタイミングで、前記複数の演算モジュールの各々からの出力データを取り込んで保持する複数の出力保持回路と、前記管理装置から送信された前記演算パラメータのデータを記憶する演算パラメータ記憶回路と、前記管理装置から送信された前記演算手順を示す設定値のデータを記憶する演算手順記憶回路と、前記複数の演算モジュールの各々の入力段に接続され、前記演算手順記憶回路に記憶された演算手順の設定値に従って、画像処理対象の画像データ、前記演算パラメータを示すデータ及び前記複数の出力保持回路の各々の出力データの中から択一的にデータを選択し、選択したデータを後段に接続された演算モジュールに出力するセレクトと、を備えることを特徴としている。

#### 【 0 0 0 8 】

請求項 3 に記載の発明は、請求項 1 又は 2 に記載の発明において、前記画像形成装置は、前記画像処理回路が動作可能な周波数を測定する動作周波数測定部を備え、前記動作周波数測定部は、前記画像処理装置を動作させるための、任意の周波数のクロック信号を生成するクロック生成部と、前記クロック生成部により生成されたクロック信号で前記画像処理回路が正常に動作するか否かを判定するクロック動作判定部と、を備え、前記画像形成装置の通信部は、前記クロック動作判定部による判定結果を前記管理装置に更に送信することを特徴としている。

#### 【 0 0 0 9 】

請求項 4 に記載の発明は、請求項 1 ～ 3 の何れか一項に記載の発明において、前記画像処理回路は、前記読取部により読み取られた画像から、当該画像の特徴点を検出する特徴点検出部と、前記特徴点検出部により検出された前記画像の特徴点から、当該画像の位置ずれ量を算出する位置ずれ演算部と、前記位置ずれ演

算部により算出された位置ずれ量に基づいて、印刷出力対象の画像の位置ずれを補正する処理を行う補正処理部と、を備え、前記印刷出力部は、前記補正処理部により位置ずれが補正された画像を印刷出力することを特徴としている。

#### 【0 0 1 0】

請求項 5 に記載の発明は、請求項 1 ～ 4 の何れか一項に記載の発明において、前記印刷出力部は、感光体ドラム、レーザ光照射装置、ポリゴンミラーを備え、電子写真方式で印刷出力することを特徴としている。

#### 【0 0 1 1】

請求項 6 に記載の発明は、請求項 1 ～ 5 の何れか一項に記載の発明において、前記管理装置は、前記画像形成装置で行われた各種の動作試験に関する情報を保持する情報保持部と、前記情報保持部により保持された情報に基づいて、前記画像形成装置に課する管理費用を算出する料金演算部と、を備えることを特徴としている。

#### 【0 0 1 2】

本発明によれば、管理装置から通信ネットワークを介して画像形成装置内の画像処理回路の動作状態を判定（診断）することが可能になり、画像処理回路の動作試験に係るコストを削減することができる。

#### 【0 0 1 3】

また、画像処理回路は、演算手順記憶回路に設定された画像処理の演算手順を示す設定値に従って、必要なデータを選択するセレクタを備えることにより、任意の手順での画像処理が可能になり、画像処理回路開発後の仕様変更に対応でき、汎用性を高めることができる。特に、管理装置から通信ネットワークを介して、画像処理回路における画像処理の演算手順、演算パラメータを設定可能にしたことにより、画像形成装置における利便性を向上させることができる。

#### 【0 0 1 4】

更に、管理装置から通信ネットワークを介して画像処理回路が動作可能な周波数を測定可能にすることにより、画像処理回路の動作状態を判定（診断）することができ、画像形成装置における利便性を更に向上させることができる。

#### 【0 0 1 5】



また、管理装置から通信ネットワークを介して画像データの位置ずれを補正可能にしたりすることにより、画像形成装置における利便性を更に向上させることができる。

#### 【0016】

##### 【発明の実施の形態】

以下、図を参照して本発明の実施の形態を詳細に説明する。

まず、構成を説明する。

#### 【0017】

図1に、本発明の実施の形態における画像形成装置の管理システム11の構成を示す。以下、簡略化のため、画像形成装置の管理システム11を、単に、管理システム11と称す。

#### 【0018】

管理システム11は、図1に示すように、画像形成装置100と、管理装置200により構成され、画像形成装置100と管理装置200は、通信ネットワークNを介して接続される。なお、図1では、管理装置200と画像形成装置100が1対1で接続されている場合を示しているが、1台の管理装置200に接続される画像形成装置100の台数は特に限定されない。

#### 【0019】

画像形成装置100は、処理情報保持部101、画像メモリ102、画像処理回路103、パターン発生部104、印刷出力部105、読取部106、判定部107、動作周波数測定部108、通信部109により構成される。

#### 【0020】

処理情報保持部101は、管理装置200から指定された画像処理手順等の、画像処理に必要な各種設定値を保存する。画像メモリ102は、管理装置200から送信された期待画像データを保存する。この期待画像データは、画像処理回路103の動作状態を判定する基準となる画像データである。

#### 【0021】

画像処理回路103は、管理装置200からの動作試験指示又は機能変更指示に応じて、試験用の画像（テストパターンの画像）データに対し、所定の画像処

理を施す。また、画像処理回路 1 0 3 は、図示しない操作部からの指示により、所定の画像処理を施す。画像処理回路 1 0 3 における機能の具体例については、後に、図 3 ～図 6、図 1 1 ～図 1 7 を参照して詳細に説明する。

#### 【 0 0 2 2 】

パターン発生部 1 0 4 は、管理装置 2 0 0 から通信部 1 0 9 を介して動作試験が指示されると、予め決められたテストパターンの画像データを画像処理回路 1 0 3 に出力する。印刷出力部 1 0 5 は、感光体ドラム、レーザ光照射装置、ポリゴンミラーを備え、画像処理回路 1 0 3 で処理された画像データを、電子写真方式により印刷出力する。

#### 【 0 0 2 3 】

読取部 1 0 6 は、光源、C C D (Charged-Coupled Device)、A / D コンバータ等により構成されるスキャナを備え、原稿台に載置された、原稿（写真プリント、書画、各種の印刷物）に光源からの光を照射し、その反射光を C C D により電気信号（アナログ信号）に変換し、A / D コンバータにより、このアナログ信号をデジタル信号に変換することによって、デジタル画像信号を取得する。印刷出力部 1 0 5 と読取部 1 0 6 は、自動搬送機構により接続されており、印刷出力部 1 0 5 で印刷出力された印刷用紙を自動的に読取部 1 0 6 に搬送し、スキャナ の原稿台に載置することが可能である。

#### 【 0 0 2 4 】

判定部 1 0 7 は、画像メモリ 1 0 2 に保存された期待画像データと、読取部 1 0 6 により読み取られた画像データを比較することにより、画像処理回路 1 0 3 の動作状態（動作の良否）を判定する。

#### 【 0 0 2 5 】

動作周波数測定部 1 0 8 は、管理装置 2 0 0 からの指示により、画像処理回路 1 0 3 が動作可能な周波数を測定する。動作周波数測定部 1 0 8 における機能の詳細については、後に、図 7 ～図 1 0 を参照して説明する。通信部 1 0 9 は、通信ネットワーク N を介して外部機器（管理装置 2 0 0）と通信を行うための制御を行う。

#### 【 0 0 2 6 】

管理装置 2 0 0 は、制御部 2 0 1、情報保持部 2 0 2、料金算出部 2 0 3、通信部 2 0 4 により構成される。

#### 【 0 0 2 7 】

制御部 2 0 1 は、メモリ（図示略）に記憶されている制御処理プログラムに従って、管理装置 2 0 0 を構成する各部の動作を集中制御する。情報保持部 2 0 2 は、画像形成装置 1 0 0 で行われる各種の動作試験及び機能変更に関する情報を保存する。

#### 【 0 0 2 8 】

料金算出部 2 0 3 は、情報保持部 2 0 2 に保存された情報に基づいて、画像形成装置 1 0 0 に課する管理費用を算出する。通信部 2 0 4 は、通信ネットワーク N を介して外部機器（画像形成装置 1 0 0）と通信を行うための制御を行う。

#### 【 0 0 2 9 】

次に、画像形成装置 1 0 0 における動作を説明する。

図 2 のフローチャートを参照して、画像形成装置 1 0 0 において実行される動作試験について説明する。

#### 【 0 0 3 0 】

管理装置 2 0 0 から、動作試験の開始を示す信号、画像処理手順を示すデータ及び期待画像データが受信されると（ステップ S 1）、画像処理手順を示すデータは、処理情報保持部 1 0 1 に保存され、期待画像データは、画像メモリ 1 0 2 に保存される。次いで、テストパターンの画像データに対し、処理情報保持部 1 0 1 に保存された画像処理手順に従って画像処理が施される（ステップ S 2）。

#### 【 0 0 3 1 】

次いで、画像処理が施されたテストパターンの画像データが印刷用紙に印刷出力される（ステップ S 3）。テストパターンの画像が印刷された印刷用紙は、自動搬送機構によって読取部 1 0 6 まで搬送され、読取部 1 0 6 のスキャナの上稿台に載置される。そして、原稿台に載置された印刷用紙上の画像がスキャナにより読み取られる（ステップ S 4）。

#### 【 0 0 3 2 】

次いで、スキャナにより読み取られた画像のデータと、画像メモリ 1 0 2 に保

存された期待画像データが比較され、画像処理回路 103 の動作状態（良否）が判定される（ステップ S5）。例えば、ステップ S5 において、スキャナにより読み取られた画像データの位置ずれが所定以上であれば、画像処理回路 103 に不具合があると判定される。次いで、ステップ S5 における判定結果と、動作試験の終了を示す信号が、通信部 109 により管理装置 200 に送信され（ステップ S6）、本動作試験は終了する。

#### 【0033】

管理装置 200 では、画像形成装置 100 から終了信号が受信されると、情報保持部 202 に、画像形成装置 100 における動作試験に関する情報が保存される。料金演算部 203 では、情報保持部 202 に保存された、画像形成装置 100 における動作試験情報に基づいて、画像形成装置 100 に課する料金が算出され、その算出された料金が、予め指定された通信端末に通知される。

#### 【0034】

以上のように、管理装置 200 から通信ネットワーク N を介して画像処理回路 103 の動作状態を診断（判定）することが可能になり、画像処理回路の動作試験に係るコストを削減することができる。

#### 【0035】

##### 〈画像処理回路の機能変更〉

次に、図 1 の画像処理回路 103 の適用例として、遠隔から機能変更が可能な画像処理回路 103 a について説明する。

#### 【0036】

まず、画像処理回路 103 a の構成を説明する。図 3 に、画像処理回路 103 a の回路構成を示す。画像処理回路 103 a は、画像データにフィルタ演算及びガンマ変換を行う回路で、図 3 に示すように、FF1、セクタ群 SG、演算モジュール群 MG、出力保持レジスタ群 RG、演算パラメータ記憶回路 R1、演算手順記憶回路 R2 により構成される。演算パラメータ記憶回路 R1 と、演算手順記憶回路 R2 により、図 1 の処理情報保持部 101 が構成される。

#### 【0037】

セクタ群 SG は、セクタ 2 S、セクタ 3 S、9 個以上のセクタ 10 S

、11S、…、9組以上のセクタ20S、21S、…、4組以上のセクタ30S、31S、32S、40S、…、セクタ50S、セクタ60Sにより構成される。演算モジュール群MGは、FIFO2、FIFO3、9個以上の乗算器20m、21m、…、4個以上の加算器30m、31m、32m、40m、…及びLUT50から構成される。出力保持レジスタ群RGは、FF2f、FF3f、9個以上のFF10、FF11、…、9個以上のFF20f、FF21f、…、4個以上のFF30f、FF31f、FF32f、FF40f、…、FF50f、FF60により構成される。

#### 【0038】

セクタ群SGを構成する各セクタの入力段は、演算パラメータ記憶回路R1、演算手順記憶回路R2、FF1及び出力保持レジスタ群RG内の各FFの出力段に接続される。

#### 【0039】

セクタ2Sの出力段は、FIFO2の入力段に接続され、セクタ3Sの出力段は、FIFO3の入力段に接続される。セクタ10S、11S、…の出力段は、それぞれ、FF10、FF11、…の入力段に接続される。

#### 【0040】

セクタ20Sは、セクタ20Sy、20Sdにより構成され、これらの出力段は、乗算器20mの入力段に接続される。セクタ21Sは、セクタ21Sy、21Sdにより構成され、これらの出力段は、乗算器21mの入力段に接続される。セクタ22Sは、セクタ22Sy、22Sdにより構成され、これらの出力段は、乗算器22mの入力段に接続される。セクタ23Sは、セクタ23Sy、23Sdにより構成され、これらの出力段は、乗算器23mの入力段に接続される。

#### 【0041】

セクタ24Sは、セクタ24Sy、24Sdにより構成され、これらの出力段は、乗算器24mの入力段に接続される。セクタ25Sは、セクタ25Sy、25Sdにより構成され、これらの出力段は、乗算器25mの入力段に接続される。セクタ26Sは、セクタ26Sy、26Sdにより構成され、こ

これらの出力段は、乗算器 2 6 m の入力段に接続される。セクタ 2 7 S は、セクタ 2 7 S y、2 7 S d により構成され、これらの出力段は、乗算器 2 7 m の入力段に接続される。セクタ 2 8 S は、セクタ 2 8 S y、2 8 S d により構成され、これらの出力段は、乗算器 2 8 m の入力段に接続される。

#### 【 0 0 4 2 】

セクタ 3 0 S は、セクタ 3 0 1 S、3 0 2 S、3 0 3 S により構成され、これらの出力段は、加算器 3 0 a の入力段に接続される。セクタ 3 1 S は、セクタ 3 1 1 S、3 1 2 S、3 1 3 S により構成され、これらの出力段は、加算器 3 1 a の入力段に接続される。セクタ 3 2 S は、セクタ 3 2 1 S、3 2 2 S、3 2 3 S により構成され、これらの出力段は、加算器 3 2 a の入力段に接続される。セクタ 4 0 S は、セクタ 4 0 1 S、4 0 2 S、4 0 3 S により構成され、これらの出力段は、加算器 4 0 a の入力段に接続される。

#### 【 0 0 4 3 】

セクタ 5 0 S の出力段は、L U T 5 0 の入力段に接続される。セクタ 6 0 S の出力段は、F F 6 0 の入力段に接続される。

#### 【 0 0 4 4 】

F I F O 2 の出力段は、F F 2 f の入力段に接続され、F I F O 3 の出力段は、F F 3 f の入力段に接続される。乗算器 2 0 m、2 1 m、…の出力段は、それぞれ、F F 2 0 f、F F 2 1 f、…の入力段に接続される。加算器 3 0 a、3 1 a、3 2 a、4 0 a、…の出力段は、それぞれ、F F 3 0 f、F F 3 1 f、F F 3 2 f、F F 4 0 f、…の入力段に接続される。L U T 5 0 の出力段は、F F 5 0 f の入力段に接続される。

#### 【 0 0 4 5 】

なお、以下では、F F 1 の出力データを \*D00、出力保持レジスタ群 R G からの各出力データを (\*D)、演算パラメータ記憶回路 R 1 の出力を (Y) と表記する。

#### 【 0 0 4 6 】

図 3 において、演算パラメータ記憶回路 R 1 は、管理装置 2 0 0 から入力されたフィルタ演算用のパラメータ (Y) を保持し、セクタ群 S G を構成する各セ

レクタに出力する。

#### 【0047】

演算手順記憶回路 R 2 は、管理装置 200 から入力された演算手順を示すデータを保持し、セクタ群 S G 内の各セクタに出力する。この演算手順データは、セクタ群 S G の各セクタ別に、F F 1 の出力 \*D00、フィルタ演算用パラメータ (Y)、出力保持レジスタ群 R G の出力 (\*D) の中から、どの出力を選択するかを設定したデータである。

#### 【0048】

F F 1 は、並列接続された複数 (例えば、8 個以上) のフリップフロップにより構成され、各フリップフロップのクロック入力において、基準クロック信号 (C L K) を共通に受け、このクロック信号の立ち上がりで、C C D ラインセンサ等の光センサで読み込まれた画像データ (I) を取り込む。

#### 【0049】

セクタ群 S G を構成する各セクタは、演算手順記憶回路 R 2 から出力された演算手順設定データに従って、画像データ \*D00、(Y) 及び (\*D) の中から択一的にデータを選択し、選択したデータを後段の演算モジュール群 M G や出力保持レジスタ群 R G に出力する。

#### 【0050】

具体的には、セクタ 2 S は、F F 1 の出力 \*D00 を選択して F I F O 2 に出力する。セクタ 3 S は、F F 2 f の出力 \*D01 を選択して F I F O 3 に出力する。セクタ 10 S は、F F 1 の出力 \*D00 を選択して F F 10 に出力する。セクタ 11 S は、F F 10 の出力 \*D10 を選択して F F 11 に出力する。セクタ 12 S は、F F 11 の出力 \*D11 を選択して F F 12 に出力する。セクタ 13 S は、F F 2 f の出力 \*D01 を選択して F F 13 に出力する。セクタ 14 S は、F F 13 の出力 \*D13 を選択して F F 14 に出力する。セクタ 15 S は、F F 14 の出力 \*D14 を選択して F F 15 に出力する。セクタ 16 S は、F F 3 f の出力 \*D02 を選択して F F 16 に出力する。セクタ 17 S は、F F 16 の出力 \*D16 を選択して F F 17 に出力する。セクタ 18 S は、F F 17 の出力 \*D17 を選択して F F 18 に出力する。

## 【0051】

セレクトア 20 Sy は、演算パラメータ記憶回路 R 1 の出力 (Y) から、パラメータ Y00 を選択して乗算器 20 m に出力する。セレクトア 20 Sd は、FF 10 の出力 \*D10 を選択して乗算器 20 m に出力する。セレクトア 21 Sy は、上記出力 (Y) から、パラメータ Y01 を選択して乗算器 21 m に出力する。セレクトア 21 Sd は、FF 11 の出力 \*D11 を選択して乗算器 21 m に出力する。セレクトア 22 Sy は、上記出力 (Y) から、パラメータ Y02 を選択して乗算器 22 m に出力する。セレクトア 22 Sd は、FF 12 の出力 \*D12 を選択して乗算器 22 m に出力する。セレクトア 23 Sy は、上記出力 (Y) から、パラメータ Y03 を選択して乗算器 23 m に出力する。セレクトア 23 Sd は、FF 13 の出力 \*D13 を選択して乗算器 23 m に出力する。

## 【0052】

セレクトア 24 Sy は、演算パラメータ記憶回路 R 1 の出力 (Y) から、パラメータ Y04 を選択して乗算器 24 m に出力する。セレクトア 24 Sd は、FF 14 の出力 \*D14 を選択して乗算器 24 m に出力する。セレクトア 25 Sy は、上記出力 (Y) から、パラメータ Y05 を選択して乗算器 25 m に出力する。セレクトア 25 Sd は、FF 15 の出力 \*D15 を選択して乗算器 25 m に出力する。セレクトア 26 Sy は、上記出力 (Y) から、パラメータ Y06 を選択して乗算器 26 m に出力する。セレクトア 26 Sd は、FF 16 の出力 \*D16 を選択して乗算器 26 m に出力する。セレクトア 27 Sy は、上記出力 (Y) から、パラメータ Y07 を選択して乗算器 27 m に出力する。セレクトア 27 Sd は、FF 17 の出力 \*D17 を選択して乗算器 27 m に出力する。セレクトア 28 Sy は、上記出力 (Y) から、パラメータ Y08 を選択して乗算器 28 m に出力する。セレクトア 28 Sd は、FF 18 の出力 \*D18 を選択して乗算器 28 m に出力する。

## 【0053】

セレクトア 30 S を構成するセレクトア 301 S、302 S、303 S は、それぞれ、FF 20 f の出力 \*D20、FF 21 f の出力 \*D21、FF 22 f の出力 \*D22 を選択して加算器 30 a に出力する。セレクトア 31 S を構成するセレクトア 311 S、312 S、313 S は、それぞれ、FF 23 f の出力 \*D23、FF 24 f の出力 \*D



24、FF 2 5 f の出力\*D25を選択して加算器 3 1 a に出力する。セクタ 3 2 S を構成するセクタ 3 2 1 S、3 2 2 S、3 2 3 S は、それぞれ、FF 2 6 f の出力\*D26、FF 2 7 f の出力\*D27、FF 2 8 f の出力\*D28を選択して加算器 3 2 a に出力する。セクタ 4 0 S を構成するセクタ 4 0 1 S、4 0 2 S、4 0 3 S は、それぞれ、FF 3 0 f の出力\*D30、FF 3 1 f の出力\*D31、FF 3 2 f の出力\*D32を選択して加算器 4 0 a に出力する。

#### 【0054】

セクタ 5 0 S は、FF 4 0 f の出力\*D40を選択してLUT 5 0 に出力する。  
セクタ 6 0 S は、FF 5 0 f の出力\*D50を選択してFF 6 0 に出力する。

#### 【0055】

演算モジュール群MG内のFIFO 2 は、セクタ 2 S の出力データ\*D00を取り込んで格納し、1 ライン分の画像データがたまると、当該画像データを、格納された順番で1画素ずつ、後段のFF 2 f に出力する。FIFO 3 は、セクタ 3 S の出力データ\*D01を取り込んで格納し、1 ライン分の画像データがたまると、当該画像データを、格納された順番で1画素ずつ、後段のFF 3 f に出力する。

#### 【0056】

乗算器 2 0 m は、セクタ 2 0 S y の出力データY00と、セクタ 2 0 S d の出力データ\*D10を乗算し、乗算結果\*D10・Y00を後段のFF 2 0 f に出力する。  
乗算器 2 1 m は、セクタ 2 1 S y の出力データY01と、セクタ 2 1 S d の出力データ\*D11を乗算し、乗算結果\*D11・Y01を後段のFF 2 1 f に出力する。  
乗算器 2 2 m は、セクタ 2 2 S y の出力データY02と、セクタ 2 2 S d の出力データ\*D12を乗算し、乗算結果\*D12・Y02を後段のFF 2 2 f に出力する。  
乗算器 2 3 m は、セクタ 2 3 S y の出力データY03と、セクタ 2 3 S d の出力データ\*D13を乗算し、乗算結果\*D13・Y03を後段のFF 2 3 f に出力する。  
乗算器 2 4 m は、セクタ 2 4 S y の出力データY04と、セクタ 2 4 S d の出力データ\*D14を乗算し、乗算結果\*D14・Y04を後段のFF 2 4 f に出力する。  
乗算器 2 5 m は、セクタ 2 5 S y の出力データY05と、セクタ 2 5 S d の出力データ\*D15を乗算し、乗算結果\*D15・Y05を後段のFF 2 5 f に出力する。

。乗算器 26 m は、セクタ 26 S y の出力データ Y06 と、セクタ 26 S d の出力データ \*D16 を乗算し、乗算結果 \*D16 · Y06 を後段の F F 26 f に出力する。乗算器 27 m は、セクタ 27 S y の出力データ Y07 と、セクタ 27 S d の出力データ \*D17 を乗算し、乗算結果 \*D17 · Y07 を後段の F F 27 f に出力する。乗算器 28 m は、セクタ 28 S y の出力データ Y08 と、セクタ 28 S d の出力データ \*D18 を乗算し、乗算結果 \*D18 · Y08 を後段の F F 28 f に出力する。

#### 【0057】

加算器 30 a は、セクタ 30 1 S の出力 \*D20、セクタ 30 2 S の出力 \*D21、セクタ 30 3 S の出力 \*D22 を加算し、加算結果 \*D20+\*D21+\*D22 を後段の F F 30 f に出力する。加算器 31 a は、セクタ 31 1 S の出力 \*D23、セクタ 31 2 S の出力 \*D24、セクタ 31 3 S の出力 \*D25 を加算し、加算結果 \*D23+\*D24+\*D25 を後段の F F 31 f に出力する。加算器 32 a は、セクタ 32 1 S の出力 \*D26、セクタ 32 2 S の出力 \*D27、セクタ 32 3 S の出力 \*D28 を加算し、加算結果 \*D26+\*D27+\*D28 を後段の F F 32 f に出力する。加算器 40 a は、セクタ 40 1 S の出力 \*D30、セクタ 40 2 S の出力 \*D31、セクタ 40 3 S の出力 \*D32 を加算し、加算結果 \*D30+\*D31+\*D32 を後段の F F 40 f に出力する。

#### 【0058】

L U T 50 は、R A M (Random Access Memory) に書き込まれた、ガンマ変換のための入出力対応テーブル (ルックアップテーブル) を有し、このルックアップテーブルを用いて、セクタ 50 S から出力された画像データ \*D40 に対してガンマ変換を施し、後段の F F 50 f に出力する。このルックアップテーブルは、管理装置 200 により指示された内容を格納する。

#### 【0059】

出力保持レジスタ群 R G を構成する各 F F は、F F 1 と同様に、それぞれ、並列接続された複数のフリップフロップにより構成されており、各フリップフロップは、基準クロック信号 (C L K) を共通に受け、このクロック信号の立ち上がりで、前段の演算モジュール群 M G やセクタ群 S G からの出力データを取り込む。

**【0060】**

具体的には、FF2fは、FIFO2の出力データを取り込み、FF3fは、FIFO3の出力データを取り込む。FF10～FF18は、それぞれ、セクタ10S～18Sの出力\*D10、\*D11、\*D12、\*D13、\*D14、\*D15、\*D16、\*D17、\*D18を取り込む。FF20f～FF28は、それぞれ、乗算器20m～28mの出力\*D20、\*D21、\*D22、\*D23、\*D24、\*D25、\*D26、\*D27、\*D28を取り込む。FF30f、FF31f、FF32f、FF40fは、それぞれ、加算器30a、31a、32a、40aの出力\*D30、\*D31、\*D32、\*D40を取り込む。FF50fは、LUT50の出力データを取り込む。FF60は、セクタ60sからの出力データを取り込む。

**【0061】**

次に、画像処理回路103a及び管理装置200の動作を説明する。

まず、画像処理回路103aにおける画像処理に先立って、管理装置200により、ガンマ変換のための設定データ、フィルタ演算用パラメータ及び演算手順データを設定する処理について、図4を参照して説明する。

**【0062】**

画像処理回路103aのLUT50にガンマ変換のためのデータを設定する際、管理装置200から通信ネットワークNを介して、画像処理回路103aに、ガンマ変換のための設定データ（図4（a））と、当該ガンマ変換データを格納する場所（アドレス）を指定するアドレスデータ（図4（b））と、当該ガンマ変換データの書込みを指示するライト信号（図4（c））と、LUT50に対してのみライト信号の有効性を指定するチップセレクト信号が入力される。このチップセレクト信号に従って、ガンマ変換データはLUT50に入力され、上記ライト信号に従って、RAM内の上記アドレスデータで指定された場所へ書き込まれ、ガンマ変換の設定値を示すルックアップテーブルが作成される。

**【0063】**

演算パラメータ記憶回路R1に、フィルタ演算用パラメータ（Y）（Y00、Y01、…）を設定する際、管理装置200から画像処理回路103aに、設定データとなるフィルタ演算用パラメータ（Y）を示すデータ（図4（a））と、フィル

タ演算用パラメータ (Y) を格納する場所 (アドレス) を指定するアドレスデータ (図 4 (b)) と、パラメータ (Y) の書込みを指示するライト信号 (図 4 (c)) と、演算パラメータ記憶回路 R 1 に対してのみライト信号の有効性を指定するチップセレクト信号が入力される。このチップセレクト信号に従って、フィルタ演算用パラメータ (Y) は、演算パラメータ記憶回路 R 1 に入力され、上記ライト信号に従って、演算パラメータ記憶回路 R 1 内の上記アドレスデータで指定された場所書き込まれる。

#### 【0064】

演算手順記憶回路 R 2 に演算手順データを設定する際、管理装置 200 から画像処理回路 103a に、当該演算手順を示す設定データ (図 4 (a)) と、当該演算手順データを格納する場所 (アドレス) を指定するアドレスデータ (図 4 (b)) と、当該演算手順データの書込みを指示するライト信号 (図 4 (c)) と、演算手順記憶回路 R 2 に対してのみライト信号の有効性を指定するチップセレクト信号が入力される。このチップセレクト信号に従って、上記演算手順データは、演算手順記憶回路 R 2 に入力され、上記ライト信号に従って、演算手順記憶回路 R 2 内の上記アドレスデータで指定された場所書き込まれる。

#### 【0065】

演算手順及び演算パラメータの設定作業が終了すると、管理装置 200 に設定作業の終了を通知するための終了信号が通信部 109 から出力される。管理装置 200 では、画像形成装置 100 から終了信号を受信すると、情報保持部 202 に、画像形成装置 100 における機能変更に関する情報が保存される。料金演算部 203 では、情報保持部 202 に保存された、画像形成装置 100 の機能変更情報に基づいて、画像形成装置 100 に課する料金が算出され、その算出された料金が、予め指定された通信端末に通知される。なお、上述では、演算手順及び演算パラメータの設定作業が終了したときに、管理装置 200 に終了信号を送信するようにしたが、新たに設定された演算手順及び演算パラメータに従って、実際に画像処理が行われた後に終了信号を送信するようにしてもよい。

#### 【0066】

次に、図 5 及び図 6 を参照し、上述のガンマ変換のための設定データ、フィル

タ演算用パラメータ、演算手順データの設定後に、画像処理回路 1 0 3 a において実行される画像処理（フィルタ演算及びガンマ変換）について説明する。

#### 【 0 0 6 7 】

なお、図 5 は、C C D ラインセンサ等の光センサにより読み込まれた画像データを表しており、 $g_{11}$ 、 $g_{12}$ 、 $g_{13}$  は、1 ライン目に含まれる画像データ、 $g_{21}$ 、 $g_{22}$ 、 $g_{23}$  は、2 ライン目に含まれる画像データ、 $g_{31}$ 、 $g_{32}$ 、 $g_{33}$  は、3 ライン目に含まれる画像データを表し、 $g_{11} \sim g_{33}$  の各々は、1 画素の画像データを示し、 $g_{11} \sim g_{33}$  全体で 9 画素の画像データを示している。

#### 【 0 0 6 8 】

以下では、着目画素を  $g_{22}$  とし、 $g_{22}$  に近接する画素を合わせた 9 画素分（副走査方向の 3 画素×主走査方向の 3 画素）の画像データ  $g_{11} \sim g_{33}$  を見て、着目画素  $g_{22}$  に対する画像処理（3×3 のフィルタ演算及びガンマ変換）を行う際の動作を説明する。

#### 【 0 0 6 9 】

1 ライン目、2 ライン目の画像データに続き、3 ライン目の画像データの入力が始まり、画像データ  $g_{31}$ 、 $g_{32}$  に続き、 $g_{33}$  が入力されたとする。この画像データ  $g_{33}$  は、まず、F F 1 に取り込まれる。F F 1 から出力された  $g_{33}$  は、セレクト 2 S 及び 1 0 S により選択され、それぞれ、後段の F I F O 2、F F 1 0 に取り込まれる。

#### 【 0 0 7 0 】

F F 1 0 に  $g_{33}$  が取り込まれたと同時に、F F 1 1 には、1 画素前の  $g_{32}$ 、F F 1 2 には、2 画素前の  $g_{31}$  が取り込まれる。また、同時に、F F 1 3、F F 1 4、F F 1 5 には、それぞれ、2 ライン目の  $g_{23}$ 、 $g_{22}$ 、 $g_{21}$  が取り込まれ、F F 1 6、F F 1 7、F F 1 8 には、それぞれ、1 ライン目の  $g_{13}$ 、 $g_{12}$ 、 $g_{11}$  が取り込まれる。

#### 【 0 0 7 1 】

F F 1 0 から出力される  $g_{33}$  は、演算手順記憶回路 R 2 に格納された設定データに従って、セレクト 2 0 S d に選択され、乗算器 2 0 m に入力される。この

とき、セクタ 2 0 S y において、フィルタ演算パラメータ Y00 が選択され、Y00 は乗算器 2 0 m に入力される。

#### 【 0 0 7 2 】

このとき、F F 1 1 から出力される g 3 2 は、演算手順記憶回路 R 2 に格納された設定データに従って、セクタ 2 1 S d に選択され、乗算器 2 1 m に入力される。このとき、セクタ 2 1 S y において、フィルタ演算パラメータ Y01 が選択され、Y01 は乗算器 2 1 m に入力される。

#### 【 0 0 7 3 】

また、F F 1 2 から出力される g 3 1 は、演算手順記憶回路 R 2 に格納された設定データに従って、セクタ 2 2 S d に選択され、乗算器 2 2 m に入力される。このとき、セクタ 2 2 S y において、フィルタ演算パラメータ Y02 が選択され、Y02 は乗算器 2 2 m に入力される。

#### 【 0 0 7 4 】

また、F F 1 3 から出力される g 2 3 は、演算手順記憶回路 R 2 に格納された設定データに従って、セクタ 2 3 S d に選択され、乗算器 2 3 m に入力される。このとき、セクタ 2 3 S y において、フィルタ演算パラメータ Y03 が選択され、Y03 は乗算器 2 3 m に入力される。

#### 【 0 0 7 5 】

また、F F 1 4 から出力される g 2 2 は、演算手順記憶回路 R 2 に格納された設定データに従って、セクタ 2 4 S d に選択され、乗算器 2 4 m に入力される。このとき、セクタ 2 4 S y において、フィルタ演算パラメータ Y04 が選択され、Y04 は乗算器 2 4 m に入力される。

#### 【 0 0 7 6 】

また、F F 1 5 から出力される g 2 1 は、演算手順記憶回路 R 2 に格納された設定データに従って、セクタ 2 5 S d に選択され、乗算器 2 5 m に入力される。このとき、セクタ 2 5 S y において、フィルタ演算パラメータ Y05 が選択され、Y05 は乗算器 2 5 m に入力される。

#### 【 0 0 7 7 】

また、F F 1 6 から出力される g 1 3 は、演算手順記憶回路 R 2 に格納された

設定データに従って、セレクト 2 6 S d に選択され、乗算器 2 6 m に入力される。このとき、セレクト 2 6 S y において、フィルタ演算パラメータ Y06 が選択され、Y06 は乗算器 2 6 m に入力される。

**【 0 0 7 8 】**

また、F F 1 7 から出力される g 1 2 は、演算手順記憶回路 R 2 に格納された設定データに従って、セレクト 2 7 S d に選択され、乗算器 2 7 m に入力される。このとき、セレクト 2 7 S y において、フィルタ演算パラメータ Y07 が選択され、Y07 は乗算器 2 7 m に入力される。

**【 0 0 7 9 】**

次いで、乗算器 2 0 m では、セレクト 2 0 S d から出力された g 3 3 に、セレクト 2 0 S y から出力されたフィルタ演算パラメータ Y00 が乗算され、乗算結果  $g 3 3 \cdot Y00$  は、後段の F F 2 0 f に取り込まれる。

**【 0 0 8 0 】**

このとき、乗算器 2 1 m では、セレクト 2 1 S d から出力された g 3 2 に、セレクト 2 1 S y から出力されたフィルタ演算パラメータ Y01 が乗算され、乗算結果  $g 3 2 \cdot Y01$  は、後段の F F 2 1 f に取り込まれる。

**【 0 0 8 1 】**

また、このとき、乗算器 2 2 m では、セレクト 2 2 S d から出力された g 3 1 に、セレクト 2 2 S y から出力されたフィルタ演算パラメータ Y02 が乗算され、乗算結果  $g 3 1 \cdot Y02$  は、後段の F F 2 2 f に取り込まれる。

**【 0 0 8 2 】**

また、このとき、乗算器 2 3 m では、セレクト 2 3 S d から出力された g 2 3 に、セレクト 2 3 S y から出力されたフィルタ演算パラメータ Y03 が乗算され、乗算結果  $g 2 3 \cdot Y03$  は、後段の F F 2 3 f に取り込まれる。

**【 0 0 8 3 】**

また、このとき、乗算器 2 4 m では、セレクト 2 4 S d から出力された g 2 2 に、セレクト 2 4 S y から出力されたフィルタ演算パラメータ Y04 が乗算され、乗算結果  $g 2 2 \cdot Y04$  は、後段の F F 2 4 f に取り込まれる。

**【 0 0 8 4 】**

また、このとき、乗算器 2 5 m では、セレクトア 2 5 S d から出力された  $g\ 2\ 1$  に、セレクトア 2 5 S y から出力されたフィルタ演算パラメータ Y05 が乗算され、乗算結果  $g\ 2\ 1 \cdot Y05$  は、後段の F F 2 5 f に取り込まれる。

**【 0 0 8 5 】**

また、このとき、乗算器 2 6 m では、セレクトア 2 6 S d から出力された  $g\ 1\ 3$  に、セレクトア 2 6 S y から出力されたフィルタ演算パラメータ Y06 が乗算され、乗算結果  $g\ 1\ 3 \cdot Y06$  は、後段の F F 2 6 f に取り込まれる。

**【 0 0 8 6 】**

また、このとき、乗算器 2 7 m では、セレクトア 2 7 S から出力された  $g\ 1\ 2$  に、セレクトア 2 7 S y から出力されたフィルタ演算パラメータ Y07 が乗算され、乗算結果  $g\ 1\ 2 \cdot Y07$  は、後段の F F 2 7 f に取り込まれる。

**【 0 0 8 7 】**

また、このとき、乗算器 2 8 m では、セレクトア 2 8 S から出力された  $g\ 1\ 1$  に、セレクトア 2 8 S y から出力されたフィルタ演算パラメータ Y08 が乗算され、乗算結果  $g\ 1\ 1 \cdot Y08$  は、後段の F F 2 8 f に取り込まれる。

**【 0 0 8 8 】**

次いで、F F 2 0 f の出力  $g\ 3\ 3 \cdot Y00$  は、セレクトア 3 0 1 S に選択され、後段の加算器 3 0 a に出力される。このとき、F F 2 1 f の出力  $g\ 3\ 2 \cdot Y01$  は、セレクトア 3 0 2 S に選択され、後段の加算器 3 0 a に出力される。また、このとき、F F 2 2 f の出力  $g\ 3\ 1 \cdot Y02$  は、セレクトア 3 0 3 S に選択され、後段の加算器 3 0 a に出力される。

**【 0 0 8 9 】**

また、このとき、F F 2 3 f の出力  $g\ 2\ 3 \cdot Y03$  は、セレクトア 3 1 1 S に選択され、後段の加算器 3 1 a に出力される。また、このとき、F F 2 4 f の出力  $g\ 2\ 2 \cdot Y04$  は、セレクトア 3 1 2 S に選択され、後段の加算器 3 1 a に出力される。また、このとき、F F 2 5 f の出力  $g\ 2\ 1 \cdot Y05$  は、セレクトア 3 1 3 s に選択され、後段の加算器 3 1 a に出力される。

**【 0 0 9 0 】**

また、このとき、F F 2 6 f の出力  $g\ 1\ 3 \cdot Y06$  は、セレクトア 3 2 1 S に選択



され、後段の加算器 3 2 a に出力される。また、このとき、F F 2 7 f の出力  $g 1 2 \cdot Y07$  は、セクタ 3 2 2 S に選択され、後段の加算器 3 2 a に出力される。また、このとき、F F 2 8 f の出力  $g 1 1 \cdot Y08$  は、セクタ 3 2 3 S に選択され、後段の加算器 3 2 a に出力される。

#### 【 0 0 9 1 】

加算器 3 0 a では、セクタ 3 0 1 S の出力  $g 3 3 \cdot Y00$ 、セクタ 3 0 2 S の出力  $g 3 2 \cdot Y01$  及びセクタ 3 0 3 S の出力  $g 3 1 \cdot Y02$  が加算され、加算結果  $(g 3 3 \cdot Y00 + g 3 2 \cdot Y01 + g 3 1 \cdot Y02)$  は、後段の F F 3 0 f に出力される。

#### 【 0 0 9 2 】

このとき、加算器 3 1 a では、セクタ 3 1 1 S の出力  $g 2 3 \cdot Y03$ 、セクタ 3 1 2 S の出力  $g 2 2 \cdot Y04$  及びセクタ 3 1 3 S の出力  $g 2 1 \cdot Y05$  が加算され、加算結果  $(g 2 3 \cdot Y03 + g 2 2 \cdot Y04 + g 2 1 \cdot Y05)$  は、後段の F F 3 1 f に出力される。

#### 【 0 0 9 3 】

また、このとき、加算器 3 2 a では、セクタ 3 2 1 S の出力  $g 1 3 \cdot Y06$ 、セクタ 3 2 2 S の出力  $g 1 2 \cdot Y07$  及びセクタ 3 2 3 S の出力  $g 1 1 \cdot Y08$  が加算され、加算結果  $(g 1 3 \cdot Y06 + g 1 2 \cdot Y07 + g 1 1 \cdot Y08)$  は、後段の F F 3 2 f に出力される。

#### 【 0 0 9 4 】

F F 3 0 f の出力  $(g 3 3 \cdot Y00 + g 3 2 \cdot Y01 + g 3 1 \cdot Y02)$  は、セクタ 4 0 1 S に選択され、後段の加算器 4 0 a に出力される。このとき、F F 3 1 f の出力  $(g 2 3 \cdot Y03 + g 2 2 \cdot Y04 + g 2 1 \cdot Y05)$  は、セクタ 4 0 2 S に選択され、後段の加算器 4 0 a に出力される。また、このとき、F F 3 2 f の出力  $(g 1 3 \cdot Y06 + g 1 2 \cdot Y07 + g 1 1 \cdot Y08)$  は、セクタ 4 0 3 S に選択され、後段の加算器 4 0 a に出力される。

#### 【 0 0 9 5 】

加算器 4 0 a では、セクタ 4 0 1 S の出力  $(g 3 3 \cdot Y00 + g 3 2 \cdot Y01 + g 3 1 \cdot Y02)$ 、セクタ 4 0 2 S の出力  $(g 2 3 \cdot Y03 + g 2 2 \cdot Y04 + g 2 1 \cdot Y$

05) 及びセクタ 403 S の出力 ( $g_{13} \cdot Y06 + g_{12} \cdot Y07 + g_{11} \cdot Y08$ ) が加算され、後段の FF40f に出力される。

#### 【0096】

FF40f の出力データ ( $g_{33} \cdot Y00 + g_{32} \cdot Y01 + g_{31} \cdot Y02 + g_{23} \cdot Y03 + g_{22} \cdot Y04 + g_{21} \cdot Y05 + g_{13} \cdot Y06 + g_{12} \cdot Y07 + g_{11} \cdot Y08$ ) は、LUT50 に出力され、LUT50 において、この画像データに対するガンマ変換が行われる。ガンマ変換が施された画像データは、後段の FF50f に取り込まれる。

#### 【0097】

FF50f の出力\*D50は、セクタ 60 S に選択され、後段の FF60 に取り込まれる。FF60 から出力される画像データ (O) が、着目画素  $g_{22}$  に対するフィルタ演算及びガンマ変換が行われた画像データとなる。

#### 【0098】

図6は、画像処理回路103aに、1画素の画像データ (I) (図の斜線部分) が入力された後の、各 FF の出力 (FF1 の出力\*D00、FF10 の出力\*D10、FF20f の出力\*D20、FF30f の出力\*D30、FF40f の出力\*D40、FF50 の出力\*D50、FF60 の出力(O)) を示すタイムチャートである。

#### 【0099】

画像データ (I) は、各 FF においてクロック信号の立ち上がりで取り込まれ、セクタ群 SG の各セクタを介して、順次、後段の FF に移動される。図6に示したタイミングチャートによると、FF1 による画像データ (I) の取り込みから、FF60 の出力までに6クロック (クロック信号の6周期) を要することがわかる。即ち、1画素分の画像処理に6クロックを要している。

#### 【0100】

図5に示した画像データの例では、3ライン目の画像データ  $g_{33}$  が入力されてから、6クロックを要して、9画素の画像データの中心に位置する着目画素  $g_{22}$  に対する画像処理 (フィルタ演算、ガンマ変換) が行われることになる。なお、画像処理回路103aに、基準クロック信号の周波数を逡倍する逡倍回路を挿入し、この逡倍回路を、画像処理回路103a内の各 FF のクロック入力に接

続させると、画像処理時間が短縮される。例えば、基準クロック信号の周波数を 2 倍にした場合、F F 1 による画像データ (I) の取り込みから F F 6 0 の出力までに要する時間が 3 クロックに短縮される。

#### 【0101】

以上のように、画像処理回路 103 a によれば、乗算器や加算器等の演算器、F I F O、L U T 等の記憶回路を、並列に並べ、これらの回路の前段にセレクタを設けて、各セレクタは、管理装置 200 の指示によって設定された演算手順設定データに従って、適切なデータを選択できるようにしたことにより、任意の手順での画像処理が可能になり、開発後の仕様変更に対応でき、ソフト処理並みに汎用的な画像処理回路が実現できる。

#### 【0102】

特に、演算器の数や種類を可能な限り多くすると、画像処理回路 103 a の汎用性を高めることができる。例えば、図 3 の画像処理回路 103 a において、F I F O を 4 個以上、乗算器を 16 個以上、加算器を 4 (3 + 1) 個以上搭載すると、4 × 4 のフィルタ演算を行うことができる。また、ビット幅の広い演算器を搭載すると、画像処理回路の汎用性を更に高めることができる。また、画像処理回路 103 a に、クロック信号の周波数を通倍する通倍回路を挿入すると、画像処理の高速化を図ることができる。

#### 【0103】

##### 〈動作周波数測定試験〉

次に、遠隔から、画像処理回路 103 が動作する周波数を測定する試験が可能な動作周波数測定部 108 について説明する。

#### 【0104】

まず、動作周波数測定部 108 の構成を説明する。

図 7 に、動作周波数測定部 108 の回路構成を示すブロック図を示す。動作周波数測定部 108 は、被検査回路 103、テストデータ生成部 301、クロック動作判定部 302、C P U 303、クロック生成部 400 から構成される。

#### 【0105】

被検査回路 103 は、動作可能な周波数の測定がなされる被検査回路であり、

本実施の形態では、図 1 の画像処理回路が適用されるものとし、同一の符号を付している。以下では、被検査回路 1 0 3 を画像処理回路 1 0 3 と称す。

#### 【0 1 0 6】

テストデータ生成部 3 0 1 は、画像処理回路 1 0 3 に供給する入力テストデータ（図 7 ⑧）を生成する。また、テストデータ生成部 3 0 1 は、管理装置 2 0 0 から通信ネットワーク N を介して入力された期待値テストデータを出力（生成）する。期待値テストデータとは、画像処理回路 1 0 3 に入力テストデータを供給した際の正常時に期待されるデータを意味する。なお、図 7 では、テストデータ生成部 3 0 1 が、入力テストデータと期待値テストデータの両方を生成するが、それぞれのテストデータを別個の回路で生成するようにしてもよい。

#### 【0 1 0 7】

クロック動作判定部 3 0 2 は、画像処理回路 1 0 0 が入力テストデータを受けて出力する出力テストデータ（図 7 ⑨）と、期待値テストデータ（図 7 ⑦）とを比較することにより、画像処理回路 1 0 3 が正常に動作するか否かを判定する。

#### 【0 1 0 8】

C P U 3 0 3 は、動作周波数測定部 1 0 8 の各部の動作を集中制御する。この C P U 3 0 3 は、画像処理回路 1 0 8 に供給するクロック信号の周波数を設定する。

#### 【0 1 0 9】

クロック生成部 4 0 0 は、基準クロック発生部 4 1 0、ディレイチェーン部 4 2 0、遅延検出部 4 3 0、切替制御部 4 4 0、セレクト部 4 5 0 により構成される。

#### 【0 1 1 0】

基準クロック発生部 4 1 0 は、基準となるクロック信号（基準クロック信号）を生成する。ディレイチェーン部 4 2 0 は、基準クロック発生部 4 1 0 から入力される基準クロック信号を遅延させて位相が少しずつ異なる複数の遅延クロック信号（複数のクロック信号：図 7 ①）を生成する。

#### 【0 1 1 1】

ここで、ディレイチェーン部 4 2 0 は、位相が少しずつ異なる遅延クロックに

ついて、基準クロック信号の2周期分にわたって生成できる段数になるようにチェーン状に多数のディレイ素子が多段接続されていることが好ましい。なお、ここではディレイ素子を用いて遅延クロック信号を生成するようにしているが、ディレイ素子を用いずに位相の異なる複数のクロックを生成するクロック生成部を設けるようにしてもよい。

#### 【0112】

遅延検出部430は、ディレイチェーン部420から入力される各遅延クロック信号（図7①）から、基準クロック信号に同期している遅延クロック信号の段数（同期ポイント）を検出し、検出した段数を、クロック信号の遅延情報として出力する。この遅延情報を位相差状態と呼ぶこともでき、この遅延情報（位相差状態）は、後述する同期ポイント情報や位相差そのものの状態（位相差状態）を含む。

#### 【0113】

ここで、遅延検出部430には、基準クロック発生部410から出力された基準クロック信号と、ディレイチェーン部420から出力された複数の遅延クロック信号が入力されており、複数の遅延クロック信号の中から、1番目に基準クロック信号に同期している第1同期ポイント情報V1stと、2番目に基準クロック信号に同期している第2同期ポイント情報V2ndと、それらの間の遅延段数Vprdを出力することが好ましい。

#### 【0114】

図8に、基準クロック信号（図8（a））と、ディレイチェーン部420から出力される各遅延クロック信号（DL1、DL2、…）のうちのDL19～DL51（図8（b）～（n））を示す。図8に示した遅延クロック信号では、第1同期ポイント情報V1st=20で、第2同期ポイント情報V2nd=50であることから、遅延段数Vprdは、 $50 - 20 = 30$ となっている。

#### 【0115】

上述のように、基準クロック信号に同期する遅延クロック信号の段数を検出するためには、ディレイチェーン部420の隣接する出力同士を入力とするフリップフロップを設け、隣接する入力の論理が反転する箇所を検出するようにすれば

よい。すなわち、ディレイチェーン部 4 2 0 の各出力段に、フリップフロップの入力段を接続し、ディレイチェーン部 4 2 0 からの遅延クロック信号の出力のうち、互いに隣り合う出力の論理が相異なる箇所を 1 カ所以上を検出する回路を設け、全てのフリップフロップには、同一のクロック信号または同一の任意の信号を入力し、論理が相異なる箇所の値（遅延段数）を遅延情報として用いればよい。

#### 【0 1 1 6】

切替制御部 4 4 0 は、CPU 3 0 3 により設定された周波数データ（図 7 ③）と、基準クロック発生部 4 1 0 から入力された基準クロック信号と、遅延検出部 4 3 0 から入力された同期ポイント情報（図 7 ②）に基づいて、ディレイチェーン部 4 2 0 から出力された各遅延クロック信号の中から、CPU 3 0 3 により設定された周波数のクロックパルスを生成するためにどの位相のクロック信号を選択すべきかを示すセレクト段数情報（図 7 ④）を出力する。

#### 【0 1 1 7】

セレクト部 4 5 0 は、切替制御部 4 4 0 から入力されたセレクト段数情報（図 7 ④）に従って、ディレイチェーン部 4 2 0 から出力された各遅延クロック信号の中からクロック信号を選択して、CPU 3 0 3 により設定された周波数のクロックパルス（図 7 ⑤）を生成する。

#### 【0 1 1 8】

図 9 に、セレクト部 4 5 0 の構成を示す。セレクト部 4 5 0 は、図 9 に示すように、セレクト 3 4 1、4 5 2、組み合わせ回路 4 5 3 により構成される。セレクト 4 5 1 は、ディレイチェーン部 4 2 0 から出力された各遅延クロック信号の中から、セレクト段数情報で指定された立ち上がりタイミングのクロック信号を選択する。セレクト 4 5 2 は、ディレイチェーン部 4 2 0 から出力された各遅延クロック信号の中から、セレクト段数情報で指定された立ち下がりタイミングのクロック信号を選択する。組み合わせ回路 4 5 3 は、論理回路（AND, OR, NAND, NOR, EXOR, EXNOR など）で構成され、セレクト 4 5 1 及び 4 5 2 で選択されたクロック信号から、CPU 3 0 3 により設定された周波数のクロックパルス（図 7 ⑤）を生成する。

**【0 1 1 9】**

クロック生成部 4 0 0 は、CPU 3 0 3 からの指示を受けて、出力するクロックパルスの立ち上がりと立ち下がりとをデジタル的に決定（選択）しているため、瞬時に周波数やタイミングを変更することが可能である。また、ディレイチェーン部 4 2 0 を構成する素子によって遅延時間の変動したとしても、遅延検出部 4 3 0 でその変動が検出されるため、最終的に生成されるクロックパルスに影響を与えることはなく、安定したタイミングと周波数のクロックパルスを得ることができている。すなわち、従来の PLL 回路による周波数の変更のようなセットアップタイムが必要になるといった問題は生じることがなく、リアルタイムで演算して瞬時に所望のクロックパルスを得ることが可能になっている。

**【0 1 2 0】**

また、クロック発生部 4 0 0 では、複数の遅延クロック信号を用いて、画像処理回路 1 0 3 に供給するクロックパルスの立ち上がりと立ち下がりとを決定しているため、一般的なデジタル回路の通倍や分周などと異なり、画像処理回路 1 0 3 に供給するクロックパルスの周波数は、基準クロック信号の周波数の整数倍等に限定されない。従って、任意の周波数のクロックパルスを生成することが可能である。

**【0 1 2 1】**

次に、動作周波数測定部 1 0 8 の動作を説明する。図 1 0 は、動作周波数測定部 1 0 8 の動作を示すタイムチャートである。基準クロック発生部 4 1 0 から出力される基準クロック信号の周波数が 1 0 0 MHz であるとする（図 1 0（a））。また、画像処理回路 1 0 3 を動作させるために必要な各種パラメータは、テスト前に予め設定されているものとする。

**【0 1 2 2】**

管理装置 2 0 0 から、期待値テストデータと、動作周波数のテスト開始を指示する開始信号が入力されると、開始信号が H レベルになるタイミングで動作周波数測定が開始される（図 1 0（b））。図 1 0 では、周波数 5 0 MHz、1 0 0 MHz、1 5 0 MHz、の順番で動作周波数のテストが行われるものとする。

**【0 1 2 3】**

まず、1 番目のテスト期間では、基準クロック信号が2 分周された5 0 M H z のクロックパルスが供給されている画像処理回路1 0 の入力端子に、入力テストデータ（図7 ⑧）が供給されると、画像処理回路1 0 3 の出力端子から出力テストデータ（図7 ⑨）が出力される。次いで、クロック動作判定部3 0 2 において、この出力テストデータと、テストデータ生成部3 0 1 により生成された期待値テストデータ（図7 ⑦）とを、クロック動作判定部3 0 2 が比較される。図1 0 では、クロックパルス5 0 M H z における出力テストデータ（図1 0 （h））と期待値テストデータ（図1 0 （g））が一致しているため、クロック動作判定部3 0 2 における判定は、「OK」（正常動作）となる（図1 0 （i））。

#### 【0 1 2 4】

2 番目のテスト期間では、1 0 0 M H z のクロックパルスが供給されている画像処理回路1 0 3 の入力端子に、入力テストデータが供給されると、画像処理回路1 0 3 の出力端子から出力テストデータが出力される。次いで、クロック動作判定部3 0 2 において、この出力テストデータと、テストデータ生成部3 0 1 により生成された期待値テストデータが比較される。図1 0 では、クロックパルス1 0 0 M H z における出力テストデータ（図1 0 （h））と期待値テストデータ（図1 0 （g））とは大部分一致しているが、一部で不一致が発生しているため、クロック動作判定部3 0 2 における判定は、「NG」となる（図1 0 （i））。NGと判定された場合、テストモードを終了するようにしてもよい。

#### 【0 1 2 5】

動作周波数のテストが終了すると、通信部1 0 9 から、テストの終了を管理装置2 0 0 に通知するための終了信号と、最大動作周波数を示す信号が出力される。最大周波数とは、クロック動作判定部3 0 2 における判定結果のうち、判定が「OK」であった最大の周波数を示す。

#### 【0 1 2 6】

管理装置2 0 0 では、画像形成装置1 0 0 からテスト終了信号が受信されると、情報保持部2 0 2 に、画像形成装置1 0 0 における動作周波数測定に関する動作試験情報が保存される。料金演算部2 0 3 では、情報保持部2 0 2 に保存された、画像形成装置1 0 0 における動作試験情報に基づいて、画像形成装置1 0 0



に課する料金が算出され、その算出された料金が、予め指定された通信端末に通知される。

#### 【0127】

以上のように、動作周波数測定部108によれば、管理装置200から通信ネットワークNを介して、画像処理回路103が動作可能な周波数を測定可能にしたことにより、画像形成装置100における利便性を向上させることができる。

#### 【0128】

なお、図10では、説明を簡略化するために、基準クロック信号の周波数が100MHzの場合に、クロックパルスを50MHz, 100MHz, 150MHzで測定する場合を示したが、基準クロック信号の周波数及び測定周波数は特に限定されない。クロック生成部400では自由にクロックパルスの周波数を選択することができるため、1MHz単位等の細かなステップで徐々に周波数を上げていくことにより、画像処理回路103の最大動作周波数を厳密に求めることが可能である。すなわち、実際の装置での実装状態で、動作周波数を自在に変更しつつ、動作周波数の上限（最大動作周波数）を求めることができる。更に、製造ばらつきなどのために設けておいたマージン分を排除して、動作周波数を向上させることも可能になる。

#### 【0129】

また、画像処理回路103を、EMIの最も少ない周波数で動作させるように設定することも可能になる。また、本実施の形態では、簡単な構成で済ませることができ、従来のような高価なテストを用いる必要がなくなる。また、被検査回路に、高価なプロセス技術を用いずに、安価なC-MOSプロセスのデジタル回路を用いることが可能になる。

#### 【0130】

〈画像の位置ずれ補正試験〉

次に、図1の画像処理回路103の適用例として、遠隔からの画像の位置ずれ補正が可能な画像処理回路103bについて説明する。

#### 【0131】

まず、画像処理回路 1 0 3 b の構成を説明する。画像処理回路 1 0 3 b は、スキャナ 1 0 6 及び印刷出力部 1 0 5 に接続されるとともに、通信部 1 0 9 を介して管理装置 2 0 0 に接続されている。この画像処理回路 1 0 3 b は、図 1 1 に示すように、クロック発生部 5 1 0、カウンタ部 5 2 0、画像メモリ 5 3 0、ずれ補正部 5 4 0、パルス発生部 5 5 0 から構成される。

#### 【 0 1 3 2 】

クロック発生部 5 1 0 は、基準クロック C L K を発生する基準クロック発生部 5 1 1 を備える。カウンタ部 5 2 0 は、印刷出力部における画像形成のレーザビームが操作している位置を、主走査カウンタ 5 2 1 と副走査カウンタ 5 2 2 でカウントする。画像メモリ 5 3 0 は、スキャナ 1 0 6 で読み取られた画像データ、各画素（各着目点）におけるずれ量のデータ等を一時的に保存する。

#### 【 0 1 3 3 】

ずれ補正部 5 4 0 は、パターン発生部 5 4 1、特徴点検出部 5 4 2、位置ずれ演算部 5 4 7、補正処理部 5 4 5、セレクト 5 4 6 を備える。

#### 【 0 1 3 4 】

パターン発生部 5 4 1 は、通信部から、テスト開始を指示する開始信号が入力されると、印刷用紙の所定の位置に特徴点を有するテストパターンを形成するためのパターンデータを発生させる。特徴点検出部 5 4 2 は、テストパターンが印刷された印刷用紙をスキャナで読み取って得られた画像データから、テストパターンの位置（特徴点）を検出する。

#### 【 0 1 3 5 】

位置ずれ演算部 5 4 7 は、特徴点ずれ演算部 5 4 3 及び着目点ずれ演算部 5 4 4 から構成される。特徴点ずれ演算部 5 4 3 は、特徴点検出部 5 4 2 により検出された特徴点における本来出力すべき位置とのずれを検出する。着目点ずれ演算部 5 4 4 は、特徴点ずれ演算部 5 4 3 により検出された特徴点のずれから、各画素（各着目点）でのずれ量を算出する。

#### 【 0 1 3 6 】

補正処理部 5 4 5 は、着目点ずれ演算部 5 4 4 により算出された各画素でのずれ量に基づいて、各画素での位置ずれを補正し、補正済みの画像データを生成す

る。セクタ 546 は、パターン発生部 541 において発生したテストパターンのデータと、補正処理部 545 において生成された画像データかの何れかを選択的に通過させる。

#### 【0137】

パルス発生部 550 は、パターン発生部 541 において発生したテストパターンのデータ又は補正処理部 545 において生成された画像データに基づいて、印刷出力部 105 における画像形成のための PWM (Pulse Width Modulation) 信号を生成する。

#### 【0138】

次に、図 11 の画像処理回路 103b における動作を説明する。図 12 のフローチャートを参照して、画像処理回路 103b において実行される位置ずれ補正・出力処理について説明する。

#### 【0139】

管理装置 200 から通信ネットワーク N を介して画像処理回路 103b に、テスト開始を指示する開始信号が入力されると（ステップ S11）、まず、パターン発生部 541 において、所定のテストパターンを印刷用紙上に出力するためのパターンデータが発生する。このパターンデータは、セクタ 546 を通過し、パルス発生部 550 において、パターン発生部 541 で発生したパターンデータに応じた PWM 信号が生成される。印刷出力部では、パルス発生部 550 で生成された PWM 信号に基づいて、印刷用紙上にテストパターンの画像が印刷出力される（ステップ S12）。

#### 【0140】

このテストパターンの画像が印刷された印刷用紙の一例を図 13 に示す。図 13 において、印刷用紙の左上、中央上、右上、左下、中央下、右下の 6 箇所に、逆 L 字型のテストパターンが印刷されている。印刷用紙に印刷されるテストパターンの個数は特に限定されないが、少なくとも、印刷用紙の四隅付近を含むことが望ましい。図 14 に、図 13 に示したテストパターンの拡大図を示す。ここでは、逆 L 字型の内側の角を特徴点として定めている。なお、モノクロ画像形成の場合、テストパターンは、図 13 のように配置されるが、カラー画像形成の場合

は、形成色（例えば、Y M C K）のテストパターンを図 15 のように配置すればよい。

#### 【0141】

次いで、テストパターンが形成された印刷用紙は、スキャナまで自動搬送されて、スキャナの上稿台に載置され、印刷用紙上のテストパターンの画像が、スキャナにより読み取られる（ステップ S 13）。次いで、特徴点検出部 542 において、スキャナにより読み取られた画像データから、テストパターンの特徴点が抽出される（ステップ S 14）。

#### 【0142】

なお、ステップ S 14 において、テストパターンの特徴点を抽出するためには、例えば、図 14（b）に示すような、9 画素（副走査方向 3 画素×主走査方向 3 画素）の画像データを順次パターンマッチングすればよい。なお、パターンマッチングの対象となる画像データの画素数を大きくすれば、特徴点を抽出する精度が高まる。

#### 【0143】

テストパターンの特徴点が抽出されると、画像形成時のひずみ等がない場合に特徴点が本来あるべき位置と、特徴点が実際に抽出された位置とのずれ量が、主走査方向と副走査方向の各々について算出され（ステップ S 15）、算出された位置ずれ量が、画像メモリ 530 に保存される。

#### 【0144】

ステップ S 15 においては、テストパターンの全ての特徴点について、位置ずれ量を算出する必要がある。これは、印刷用紙上のテストパターンをスキャナで読み取る際に、図 16 に示すように、画像全体がずれたり、傾いたりすることがあることによる。以下、各特徴点における位置ずれ量の算出方法について説明する。

#### 【0145】

$(\Delta X(c, i, j), \Delta Y(c, i, j)) = [\text{スキャナで読み取られた特徴点 (色 } c、\text{位置 } (i, j)) \text{ の座標}] - [\text{本来位置すべき特徴点 (色 } c、\text{位置 } (i, j)) \text{ の座標}]$  と定義する。ここで、 $c = Y$ （イエロー）、 $M$ （マゼンダ

)、C (シアン)、K (黒)、 $i = 0 \sim m$ 、 $j = 0 \sim m$ である。

#### 【0146】

本実施の形態における画像形成装置 100 のように、レーザ方式の画像形成装置の場合、色の違いによって副走査方向の伸縮の差は生じないと考えられるため、この特性を利用する。位置ずれ補正に用いる 2 つの特徴点を、 $(K, 0, 0)$  と、 $(K, 0, n)$  とすると、各特徴点  $(c, i, j)$  において、主走査方向では、 $\Delta X(c, i, j)$  から  $\Delta X(K, 0, 0) + (i/m) \times \{\Delta X(K, 0, n) - \Delta X(K, 0, 0)\}$  を差し引き、副走査方向では、 $\Delta Y(c, i, j)$  から  $\Delta Y(K, 0, 0) + (j/m) \times \{\Delta Y(K, 0, n) - \Delta Y(K, 0, 0)\}$  を差し引く必要がある。

#### 【0147】

従って、実際に画像出力する際に、各特徴点  $(c, i, j)$  における主走査方向の位置ずれ量  $\delta X(c, i, j)$  と、副走査方向における位置ずれ量  $\delta Y(c, i, j)$  は、それぞれ、下記の式 (1)、式 (2) のようになる。

$$\delta X(c, i, j) = \Delta X(c, i, j) - \Delta X(K, 0, 0) + (i/m) \times \{\Delta X(K, 0, n) - \Delta X(K, 0, 0)\} \quad (1),$$

$$\delta Y(c, i, j) = \Delta Y(c, i, j) - \Delta Y(K, 0, 0) + (j/m) \times \{\Delta Y(K, 0, n) - \Delta Y(K, 0, 0)\} \quad (2)$$

#### 【0148】

各特徴点における位置ずれ量が算出されると、着目点ずれ演算部 544 において、これら各特徴点における位置ずれ量から、各画素を着目点として、各着目点における位置ずれ量が算出され (ステップ S16)、画像メモリ 530 に保存される。以下、図 17 を参照して、各画素における位置ずれ量の算出方法について説明する。

#### 【0149】

図 17 において、着目点⑤の画素の位置ずれ量は、その画素の周辺に位置するテストパターンの特徴点①、②、③、④の位置ずれ量に基づいて算出することができる。なお、必ずしも着目点の周囲に特徴点が存在するとは限らないが、複数の特徴点が、片側に偏在していても、位置ずれ量を類推して算出することは可能

である。

#### 【0 1 5 0】

着目点⑤の座標を  $(x, y)$ 、色を  $c$  とし、特徴点①～④の座標を下記のように定義する。

特徴点①の座標 =  $(X(c, i, j), Y(c, i, j))$

特徴点②の座標 =  $(X(c, i+1, j), Y(c, i+1, j))$

特徴点③の座標 =  $(X(c, i, j+1), Y(c, i, j+1))$

特徴点④の座標 =  $(X(c, i+1, j+1), Y(c, i+1, j+1))$

#### 【0 1 5 1】

この場合、着目点⑤における位置ずれ量  $\delta x$ 、 $\delta y$  は、以下のような補間演算により求めることができる。

$$\delta x = \delta X(c, i, j) + \{x - X(c, i, j)\} \times \{\delta X(c, i+1, j) - \delta X(c, i, j)\} / \{X(c, i+1, j) - X(c, i, j)\}$$

$$\delta y = \delta Y(c, i, j) + \{y - Y(c, i, j)\} \times \{\delta Y(c, i, j+1) - \delta Y(c, i, j)\} / \{Y(c, i, j+1) - Y(c, i, j)\}$$

なお、テストパターンの特徴点の位置ずれ量を用いた各着目点における位置ずれ量の算出方法は、ここで示した方法に限定されない。

#### 【0 1 5 2】

各着目点における位置ずれ量に基づいて実際に画像形成を行う場合（ステップ S 1 7；YES）、画像メモリ 5 3 0 に保存された画像形成対象の画像データに対し、ステップ S 1 6 において算出された位置ずれ量に基づいて位置ずれ補正が施され（ステップ S 1 8）、補正済みの画像データが生成される。

#### 【0 1 5 3】

次いで、位置ずれ補正が施された画像データに基づいて、画像形成のための PWM 信号が生成され、その PWM 信号に基づいて印刷出力が行われる（ステップ S 1 9）。印刷出力が終了すると、通信部 1 0 9 から、テストの終了を管理装置 2 0 0 に通知するための終了信号が出力され（ステップ S 2 0）、本位置ずれ補正・出力処理が終了する。

#### 【0 1 5 4】

管理装置 200 では、画像形成装置 100 からテスト終了信号が受信されると、情報保持部 202 に、画像形成装置 100 における位置ずれ補正の動作試験に関する情報が保存される。料金演算部 203 では、情報保持部 202 に保存された、画像形成装置 100 における動作試験情報に基づいて、画像形成装置 100 に課する料金が算出され、その算出された料金が、予め指定された通信端末に通知される。

#### 【0155】

なお、図 12 で示す処理を、画像形成に用いる各色（例えば、Y M C K の 4 色）の各々で実行するようにすると、各色の画像が本来の位置に形成されるため、色ずれも解消される。

#### 【0156】

以上のように、画像処理回路 103b によれば、管理装置 200 から通信ネットワーク N を介して、画像データの位置ずれを補正可能にしたことにより、画像形成装置 100 における利便性を向上させることができる。

#### 【0157】

なお、本実施の形態における記述内容は、本発明の趣旨を逸脱しない範囲で適宜変更可能である。

#### 【0158】

##### 【発明の効果】

本発明によれば、管理装置から通信ネットワークを介して画像形成装置内の画像処理回路の動作状態を判定（診断）することが可能になり、画像処理回路の動作試験に係るコストを削減することができる。

#### 【0159】

また、画像処理回路は、演算手順記憶回路に設定された画像処理の演算手順を示す設定値に従って、必要なデータを選択するセレクタを備えることにより、任意の手順での画像処理が可能になり、画像処理回路開発後の仕様変更に対応でき、汎用性を高めることができる。特に、管理装置から通信ネットワークを介して、画像処理回路における画像処理の演算手順、演算パラメータを設定可能にしたことにより、画像形成装置における利便性を向上させることができる。

**【0160】**

更に、管理装置から通信ネットワークを介して画像処理回路が動作可能な周波数を測定可能にすることにより、画像処理回路の動作状態を判定（診断）することができ、画像形成装置における利便性を更に向上させることができる。

**【0161】**

また、管理装置から通信ネットワークを介して画像データの位置ずれを補正可能にしたりすることにより、画像形成装置における利便性を更に向上させることができる。

**【図面の簡単な説明】****【図1】**

本発明の実施の形態における画像形成装置の管理システム11の構成を示すブロック図。

**【図2】**

画像形成装置100において実行される動作試験を示すフローチャート。

**【図3】**

機能変更が可能な画像処理回路103aの回路構成を示すブロック図。

**【図4】**

画像処理前の各種データ設定の際のタイミングチャート。

**【図5】**

9画素の画像データを示す図。

**【図6】**

画像処理回路103aの各FFからの出力を示すタイミングチャート。

**【図7】**

図1の動作周波数測定部108の回路構成を示すブロック図。

**【図8】**

ディレイチェーン部420から出力される遅延クロック信号を示すタイミングチャート。

**【図9】**

図7のセレクト部450の構成を示すブロック図。



**【図 1 0】**

動作周波数測定部 1 0 8 の動作を示すタイミングチャート。

**【図 1 1】**

画像の位置ずれ補正が可能な画像処理回路 1 0 3 b の回路構成を示すブロック図。

**【図 1 2】**

画像処理回路 1 0 3 b において実行される位置ずれ補正・出力処理を示すフローチャート。

**【図 1 3】**

印刷用紙に印刷されたテストパターンの一例を示す図。

**【図 1 4】**

図 1 3 のテストパターンの拡大図。

**【図 1 5】**

印刷用紙に印刷されたテストパターンの一例を示す図。

**【図 1 6】**

テストパターンが印刷された印刷用紙をスキャナで読み取った場合の画像のずれを示す図。

**【図 1 7】**

各画素（各着目点）における位置ずれ量の算出方法を説明するため図。

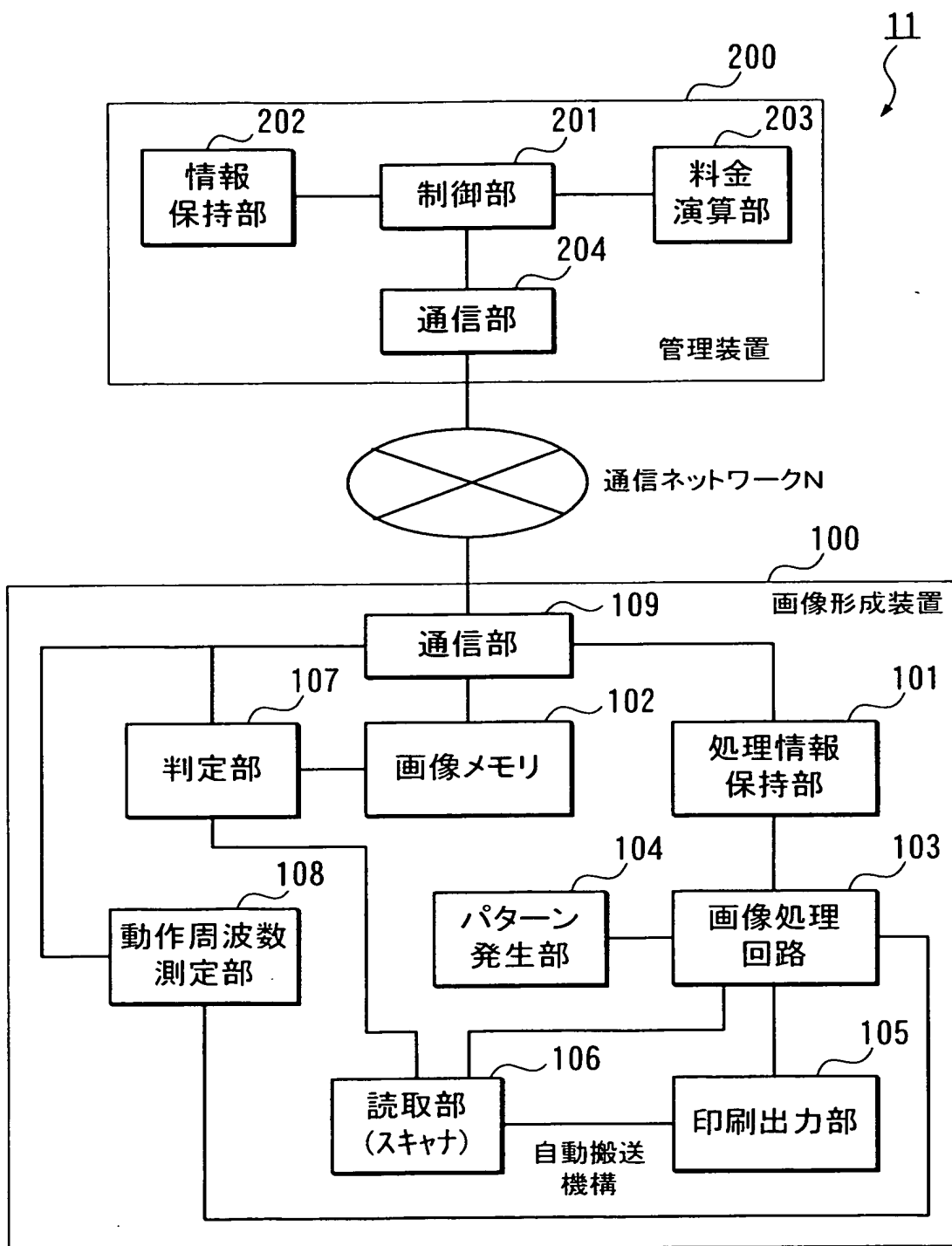
**【符号の説明】**

- 1 1 画像形成装置の管理システム
- 1 0 0 画像形成装置
- 1 0 1 処理情報保持部
- 1 0 2 画像メモリ
- 1 0 3、1 0 3 a、1 0 3 b 画像処理回路
- 1 0 4 パターン発生部
- 1 0 5 印刷出力部
- 1 0 6 読取部（スキャナ）
- 1 0 7 判定部

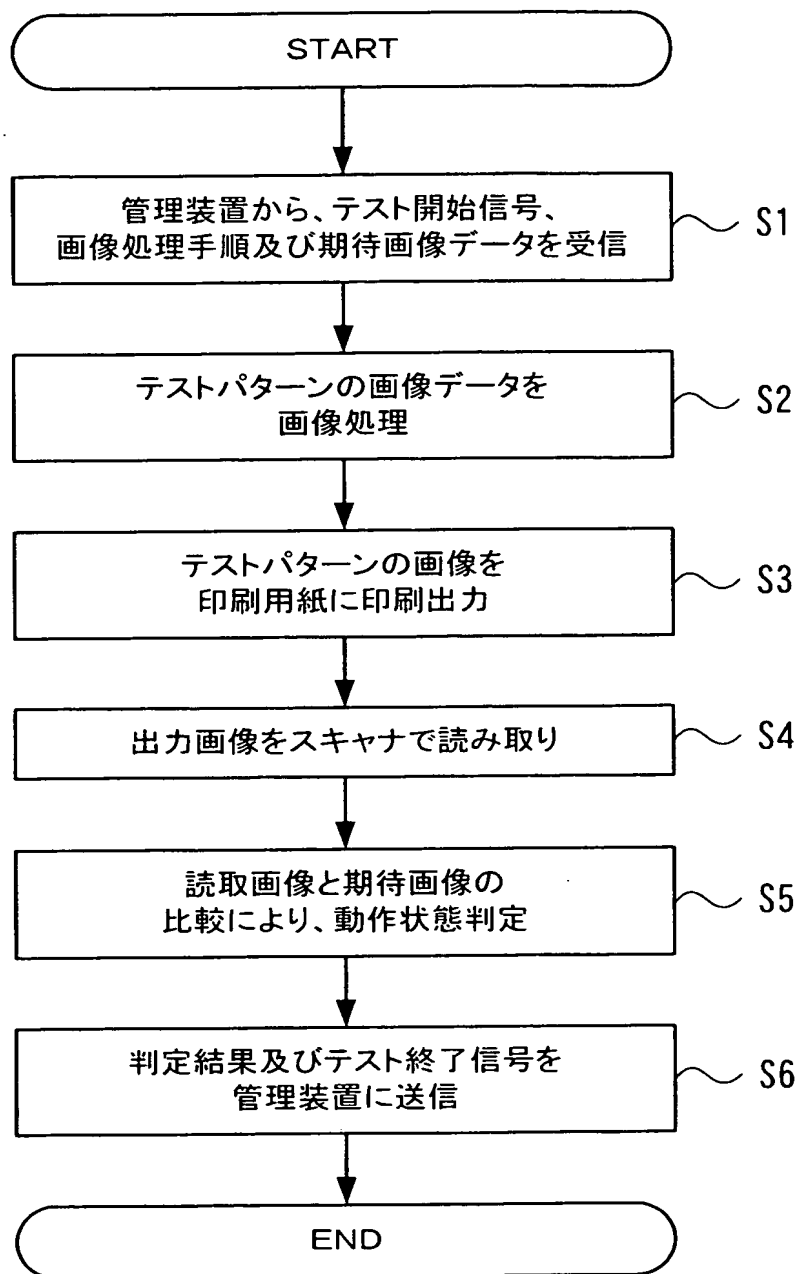
- 1 0 8 動作周波数測定部
- 1 0 9 通信部
- 2 0 0 管理装置
- 2 0 1 制御部
- 2 0 2 情報保持部
- 2 0 3 料金演算部
  - M G 演算モジュール群
  - S G セレクタ群
  - R G 出力保持レジスタ群（出力保持回路）
  - R 1 演算パラメータ記憶回路
  - R 2 演算手順記憶回路
- 3 0 1 テストデータ生成部
- 3 0 2 クロック動作判定部
- 3 0 3 C P U
- 4 0 0 クロック生成部
- 5 4 5 補正処理部
- 5 4 7 位置ずれ演算部

【書類名】 図面

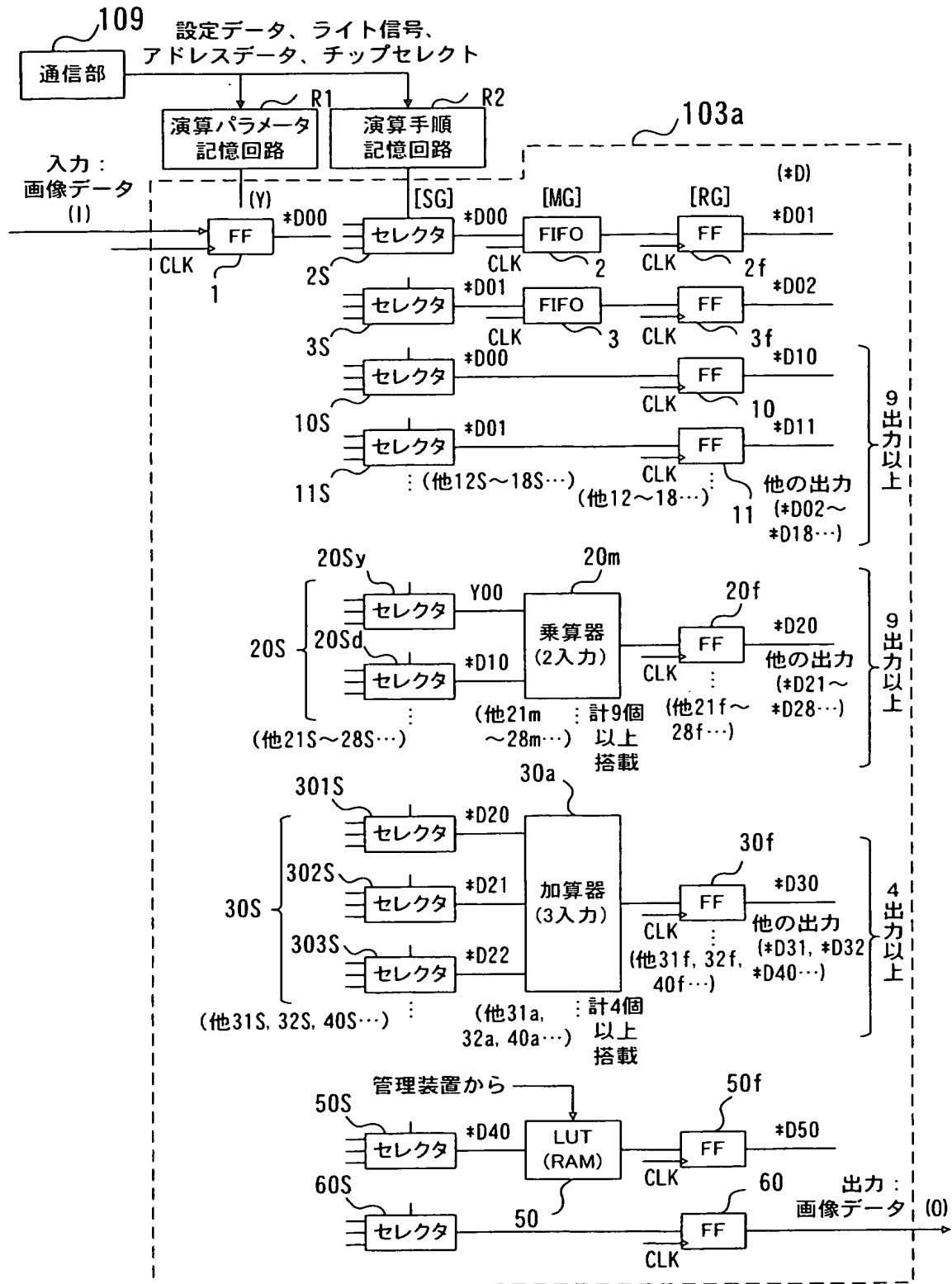
【図 1】



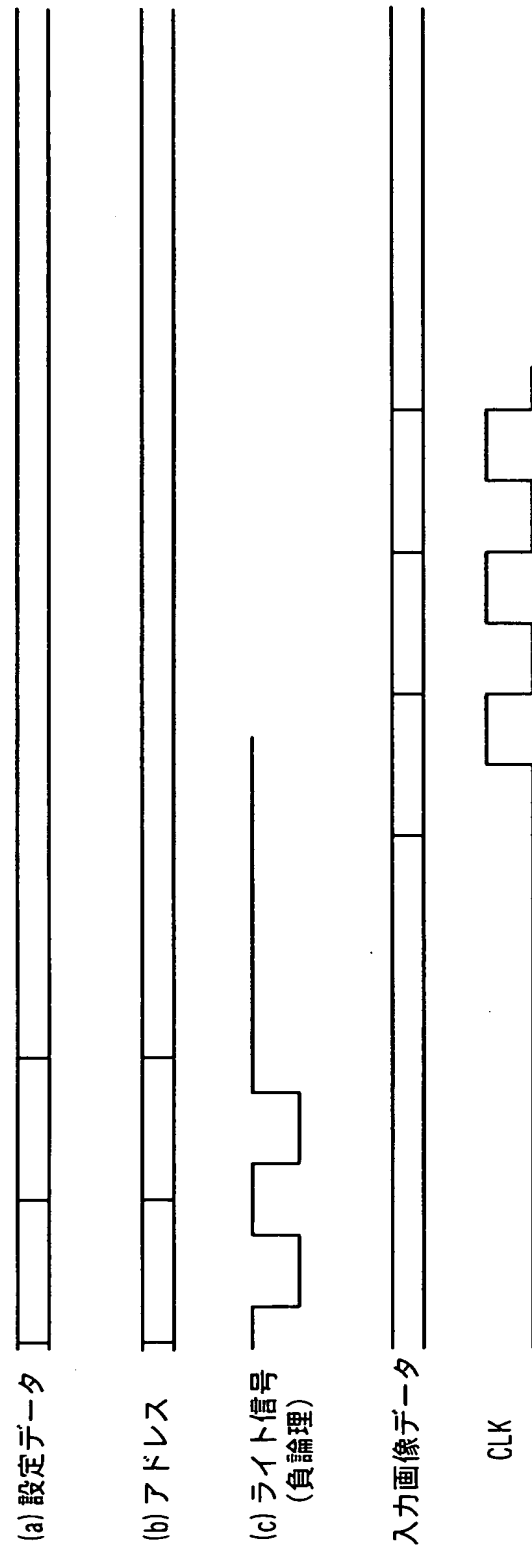
【図 2】



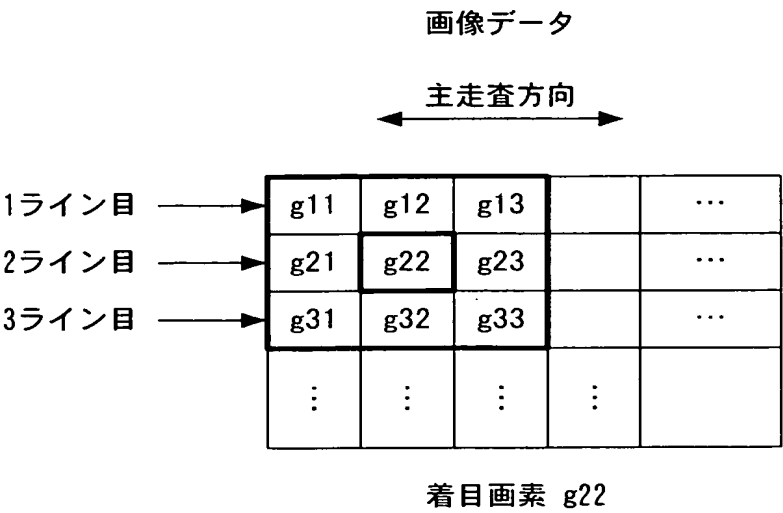
【図 3】



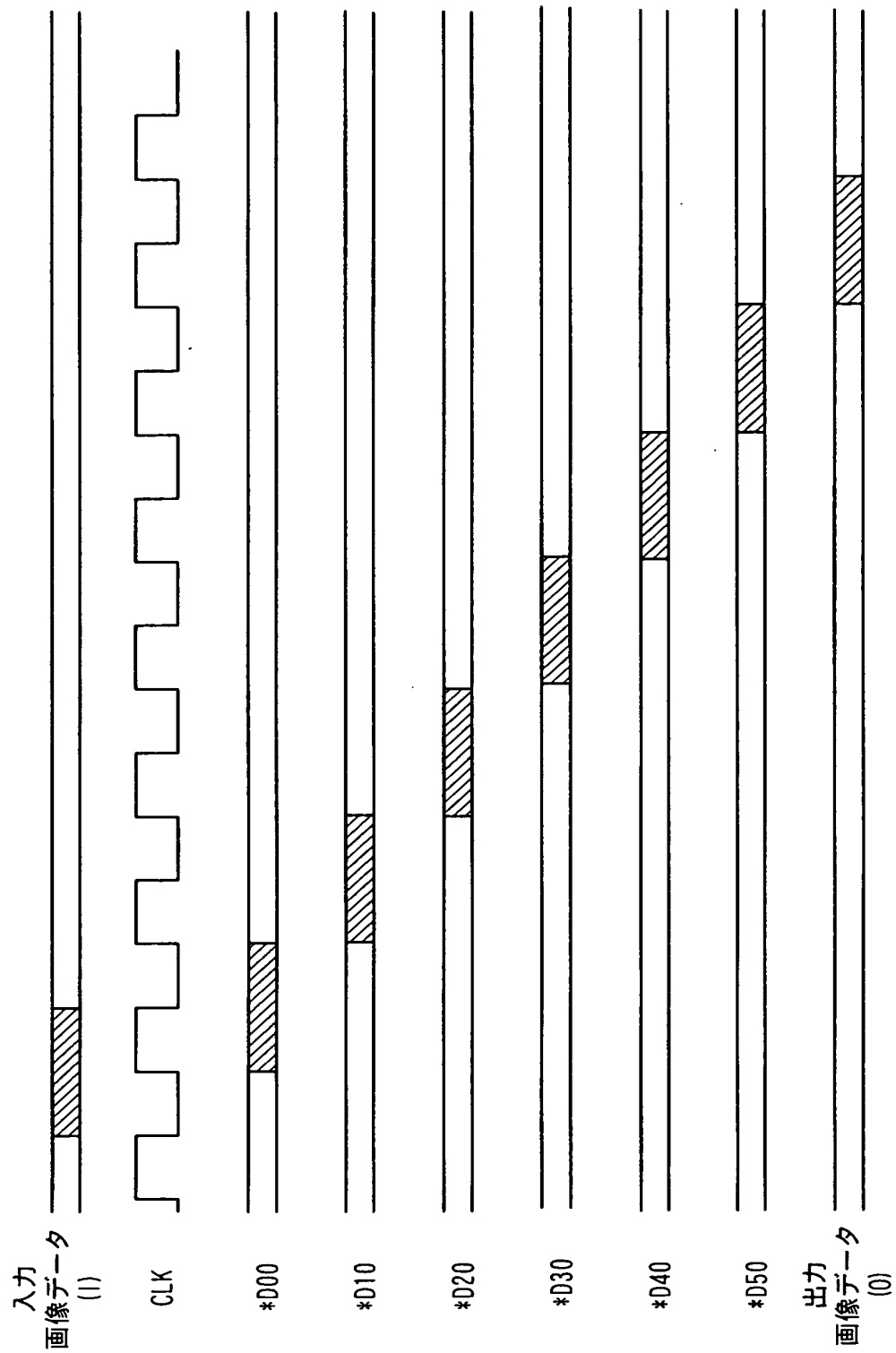
【図 4】



【図 5】

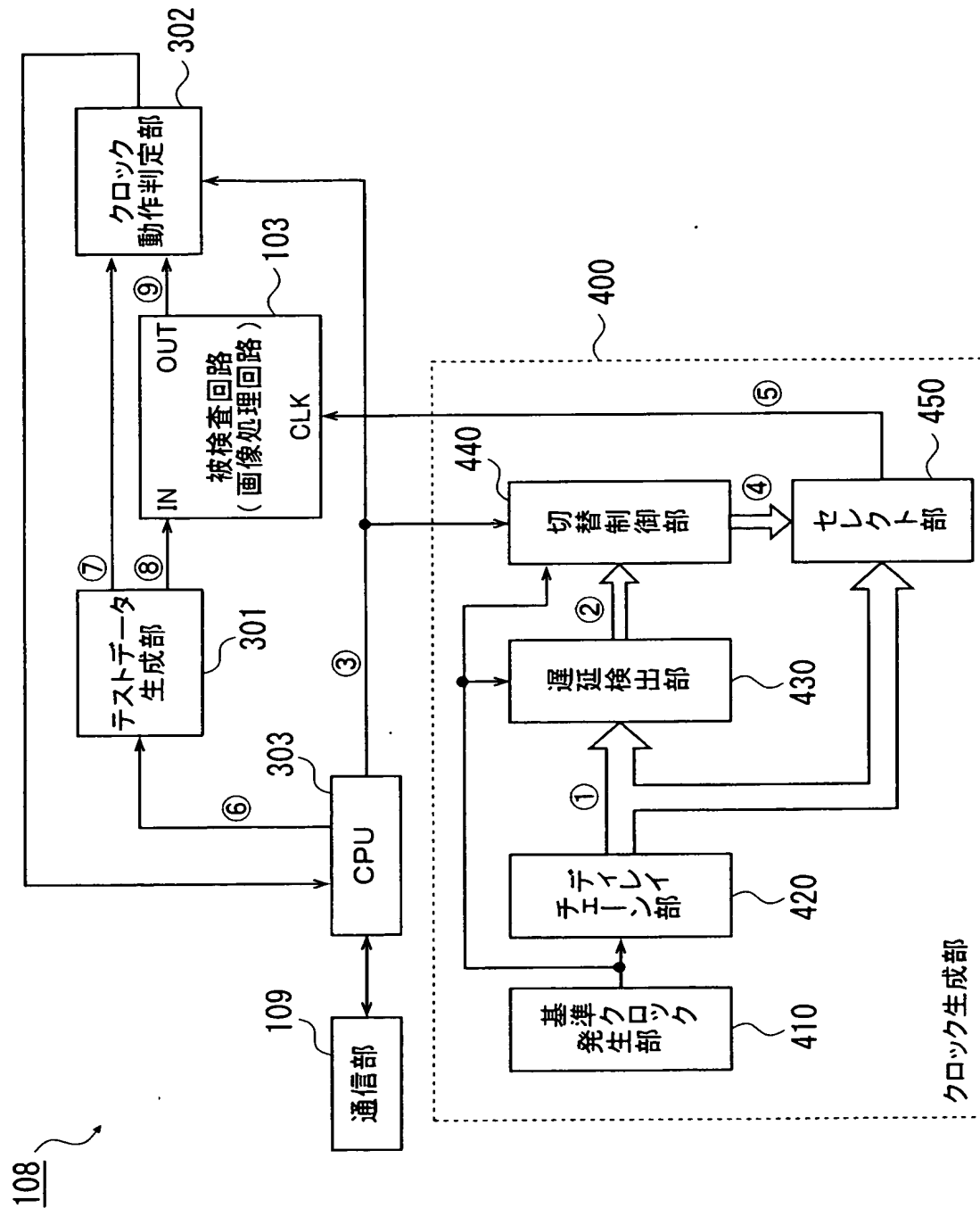


【図 6】

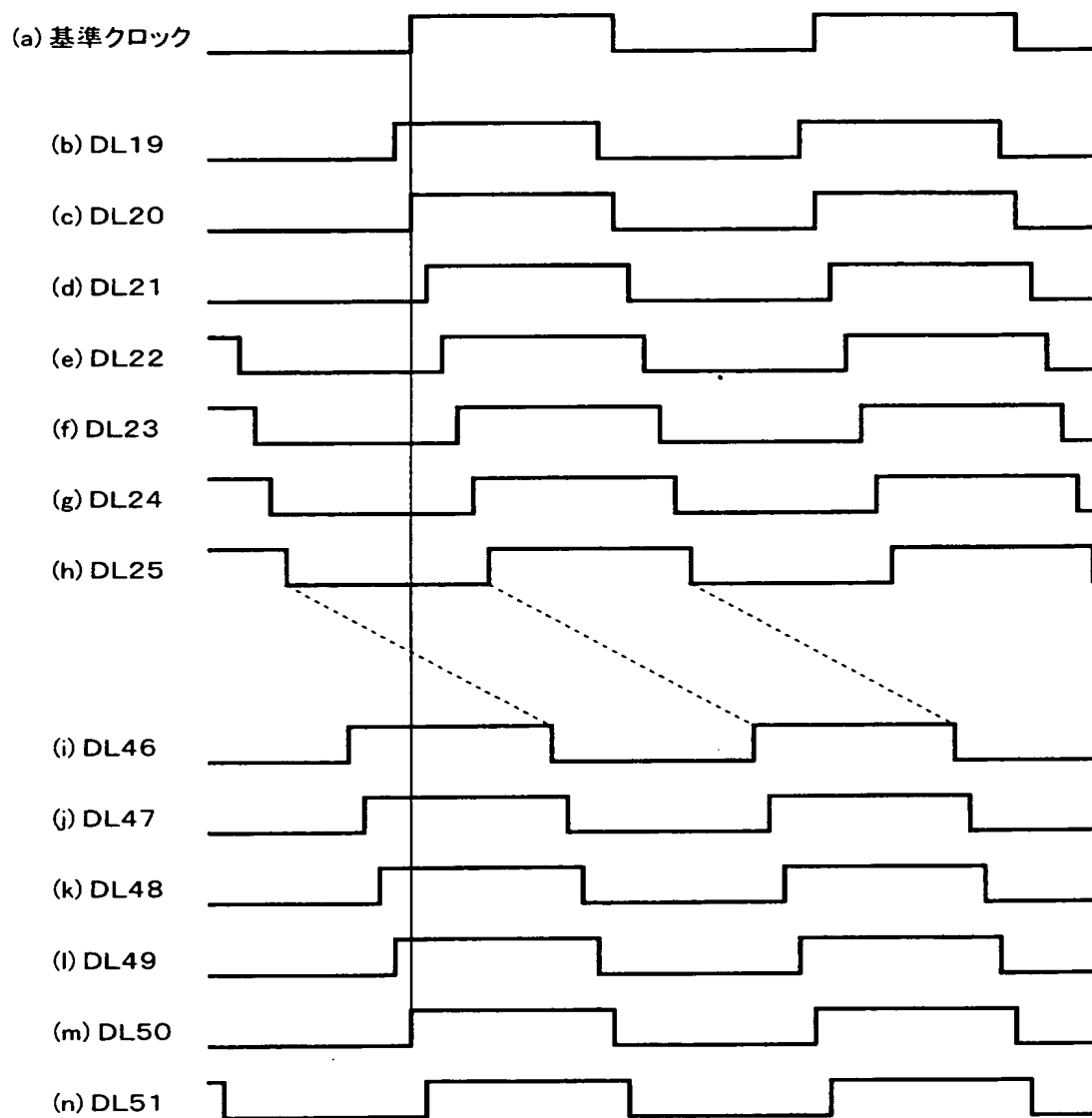




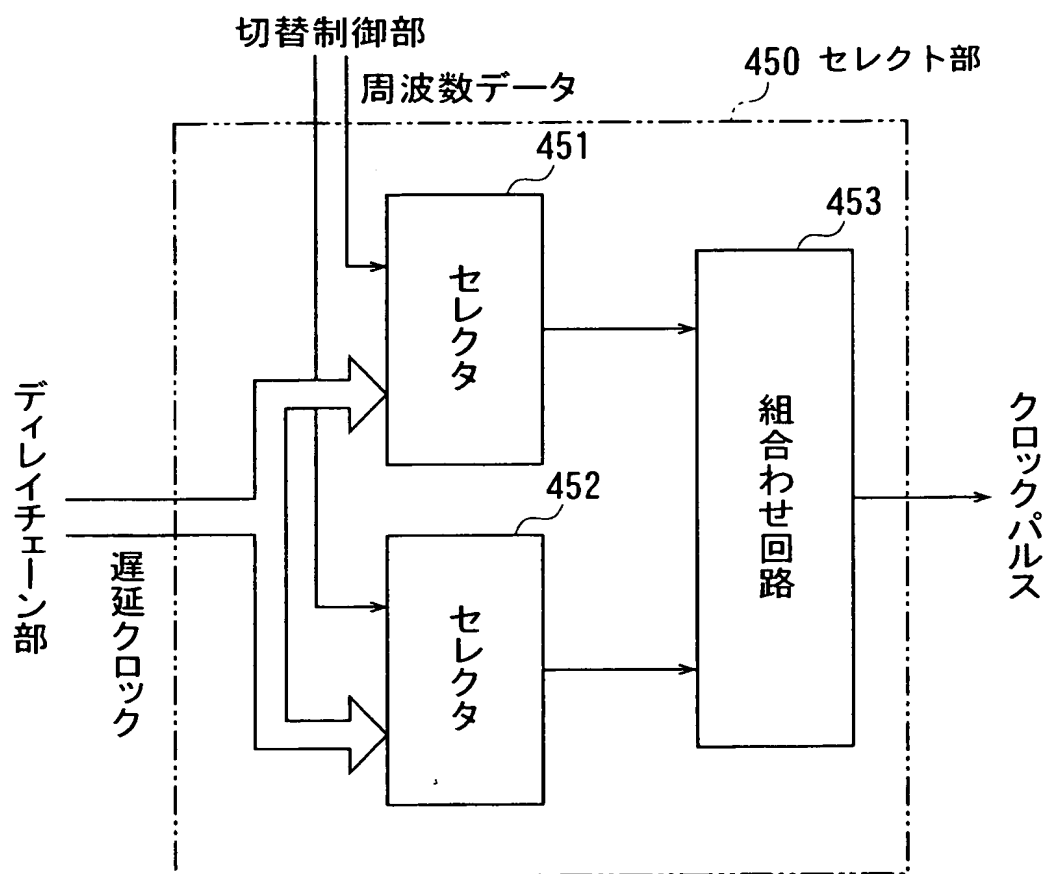
【図 7】



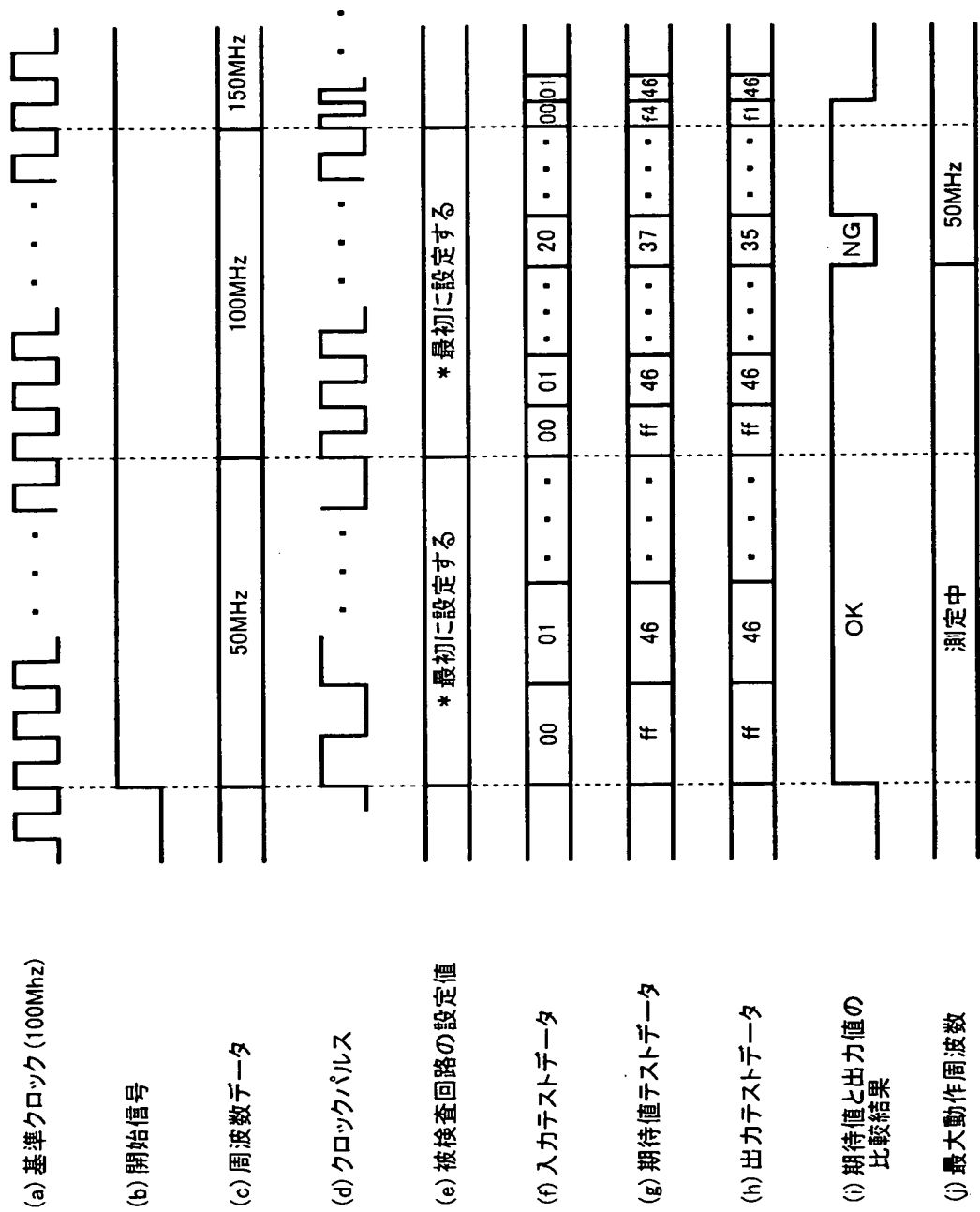
【図 8】



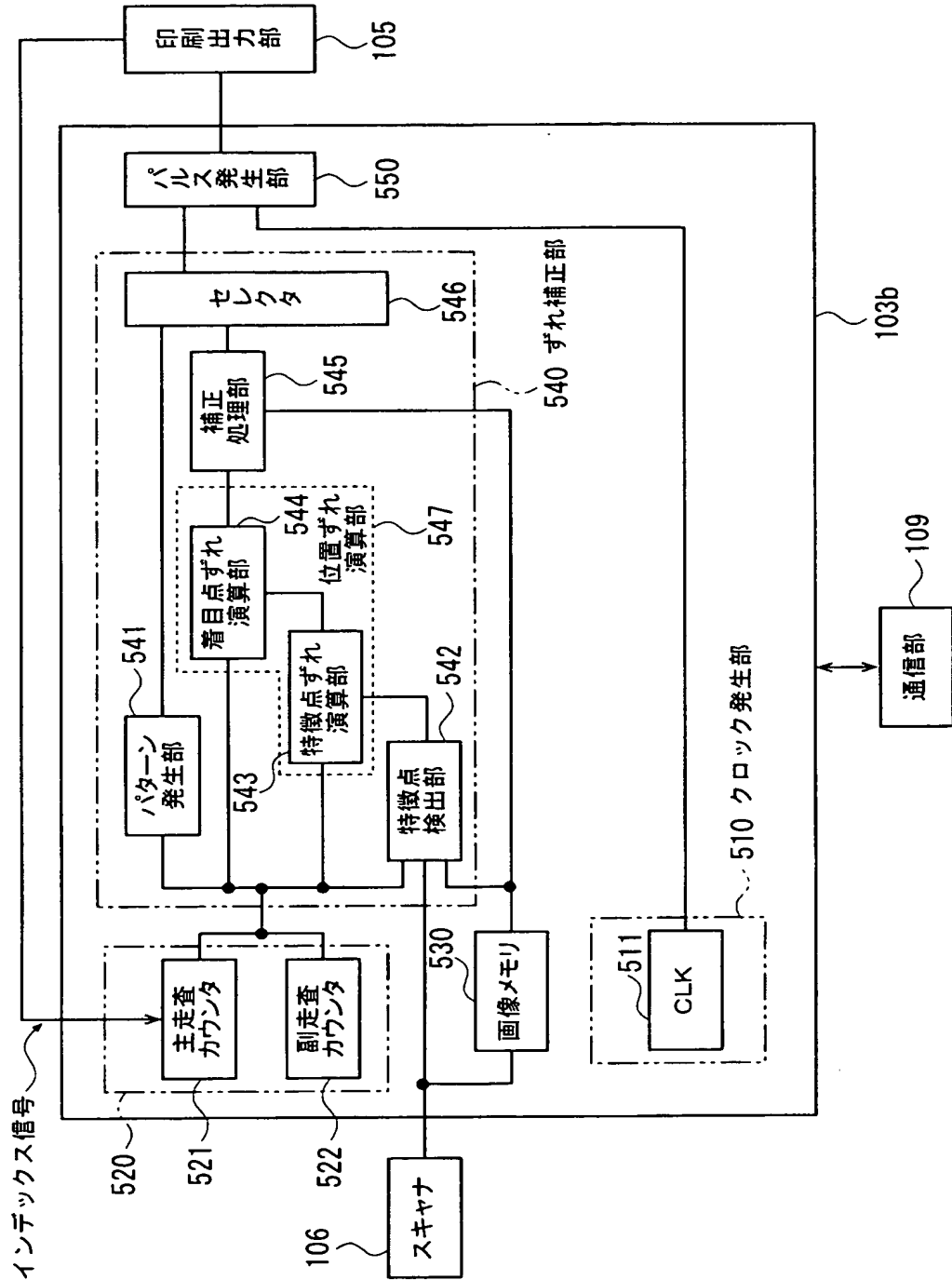
【図 9】



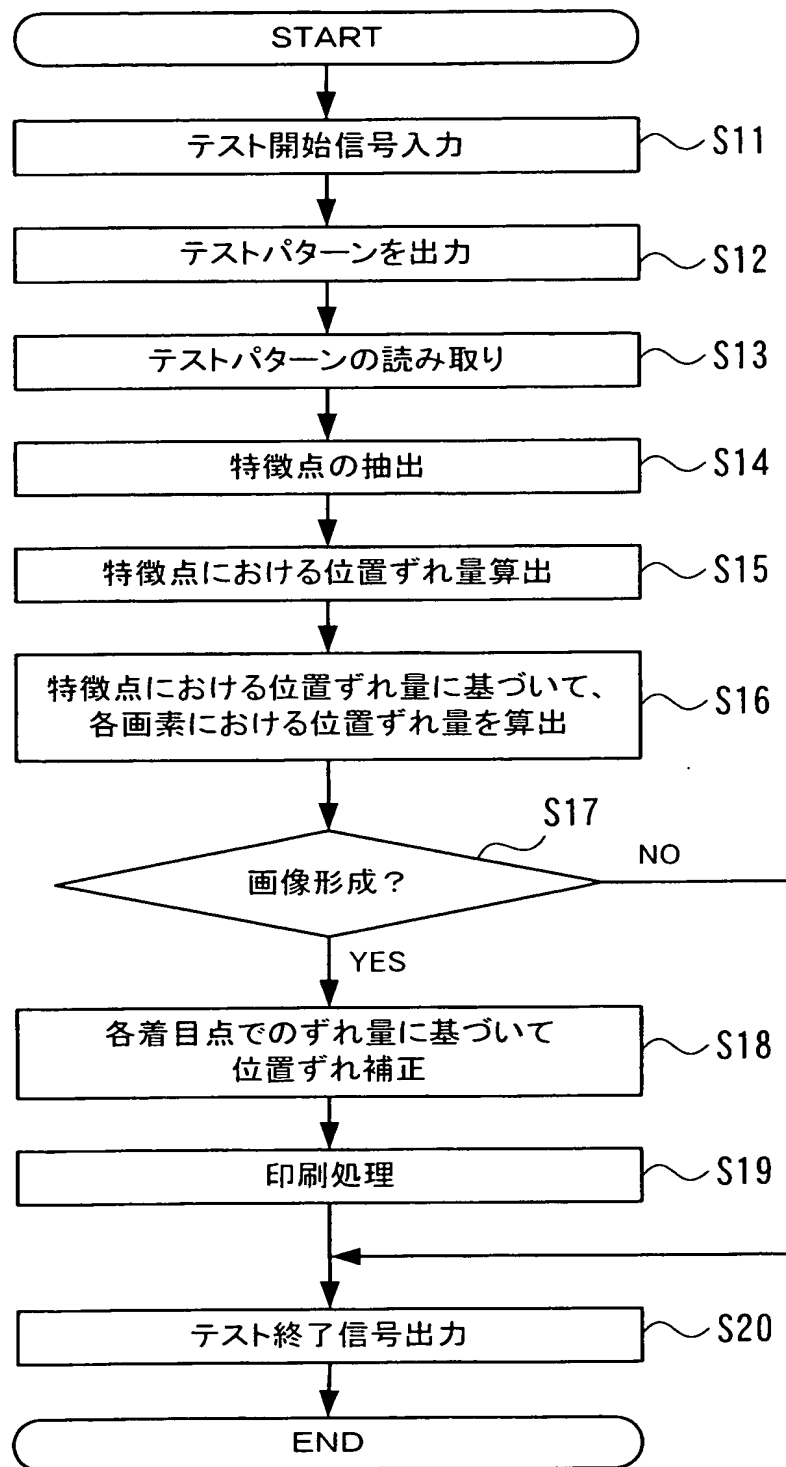
【図 10】



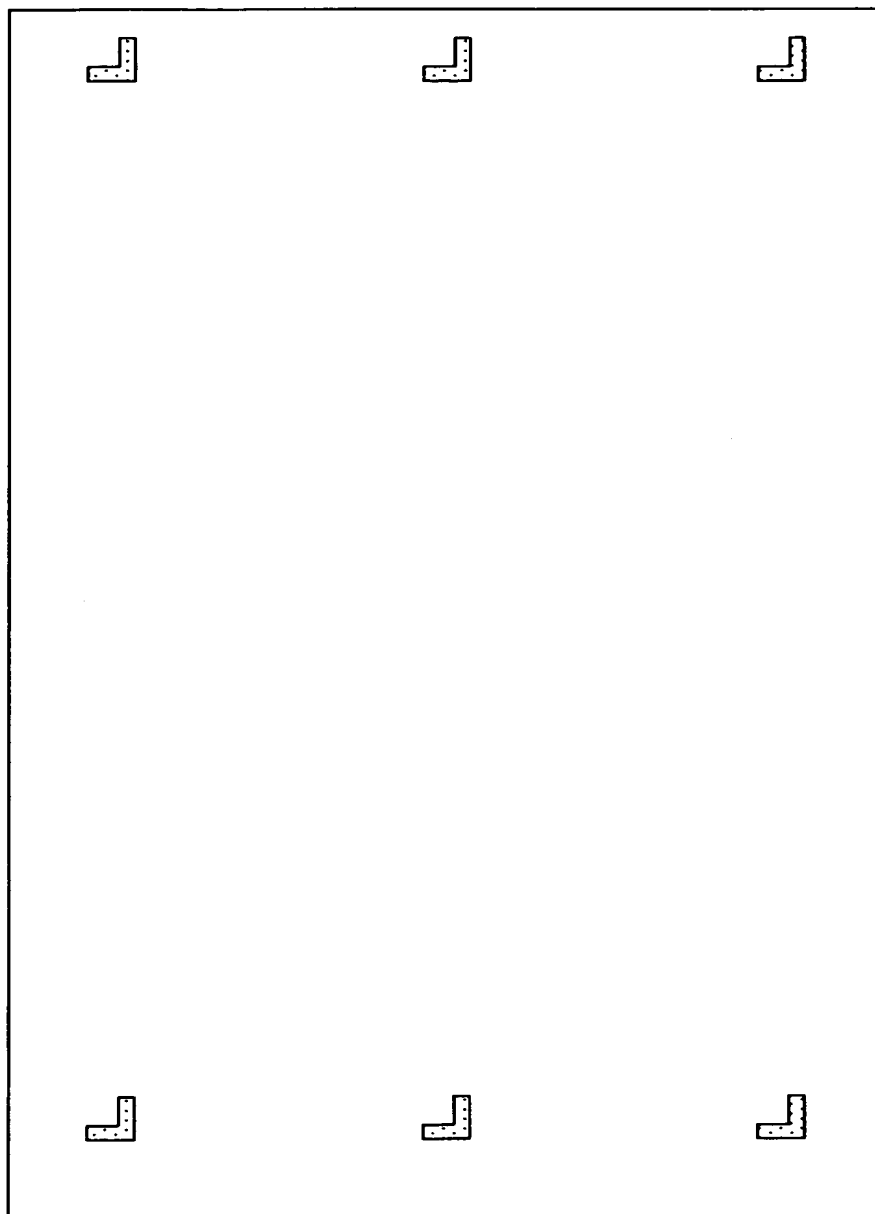
【図 11】



【図 12】

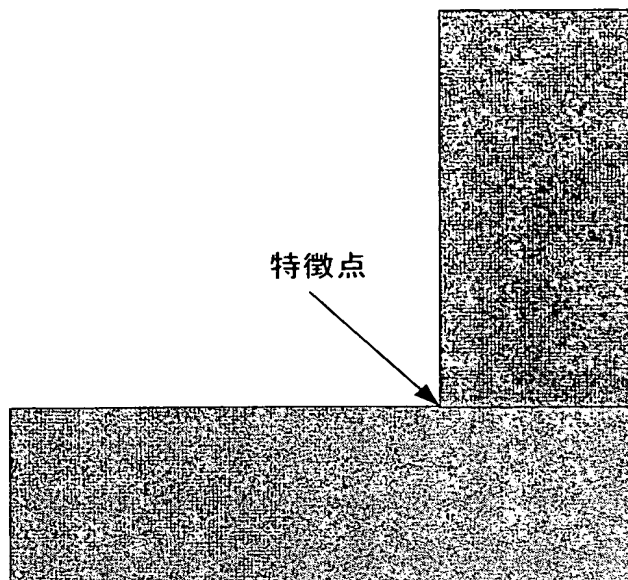


【図 13】

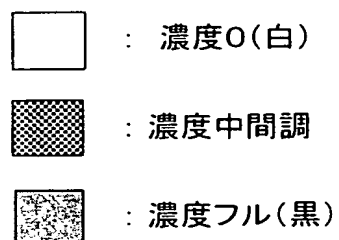
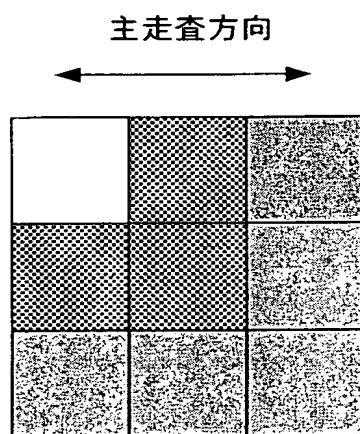


【図 14】

(a)

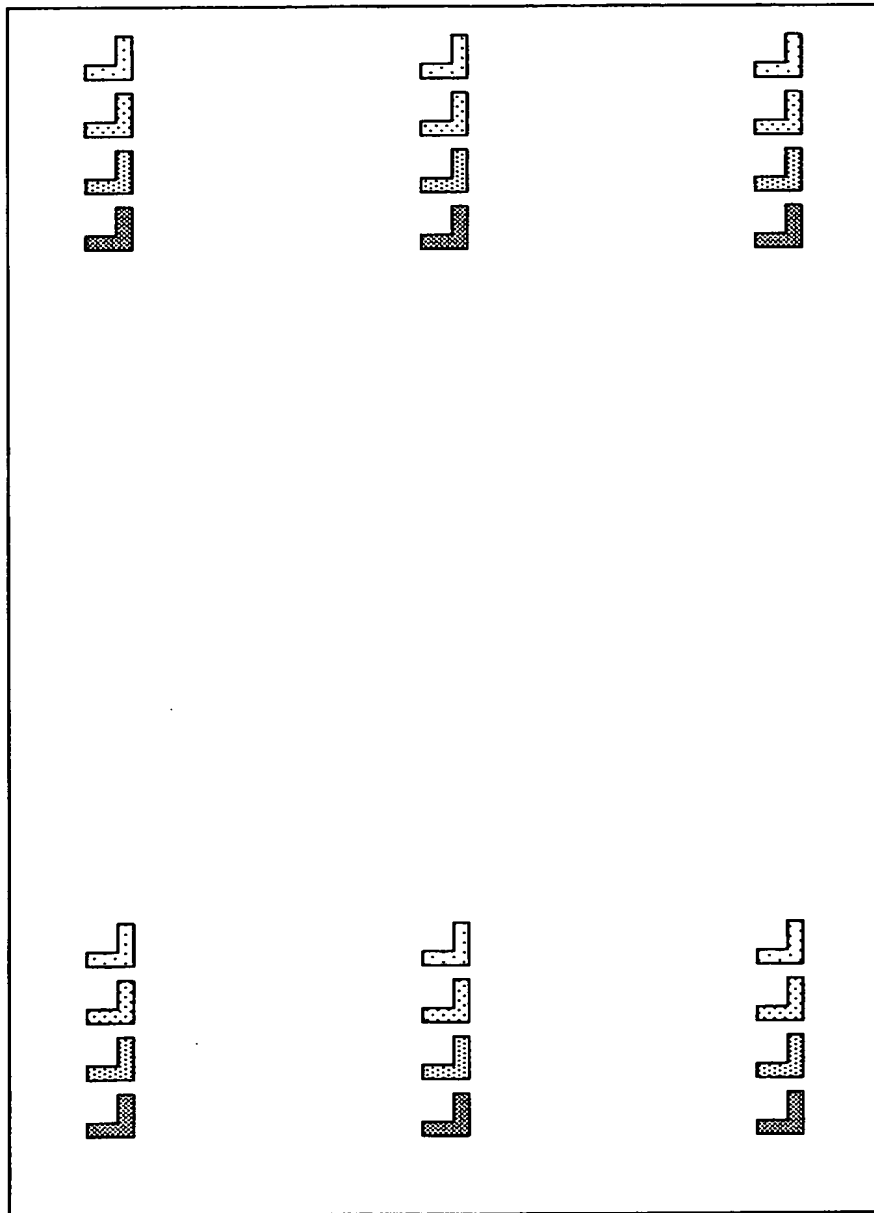


(b)



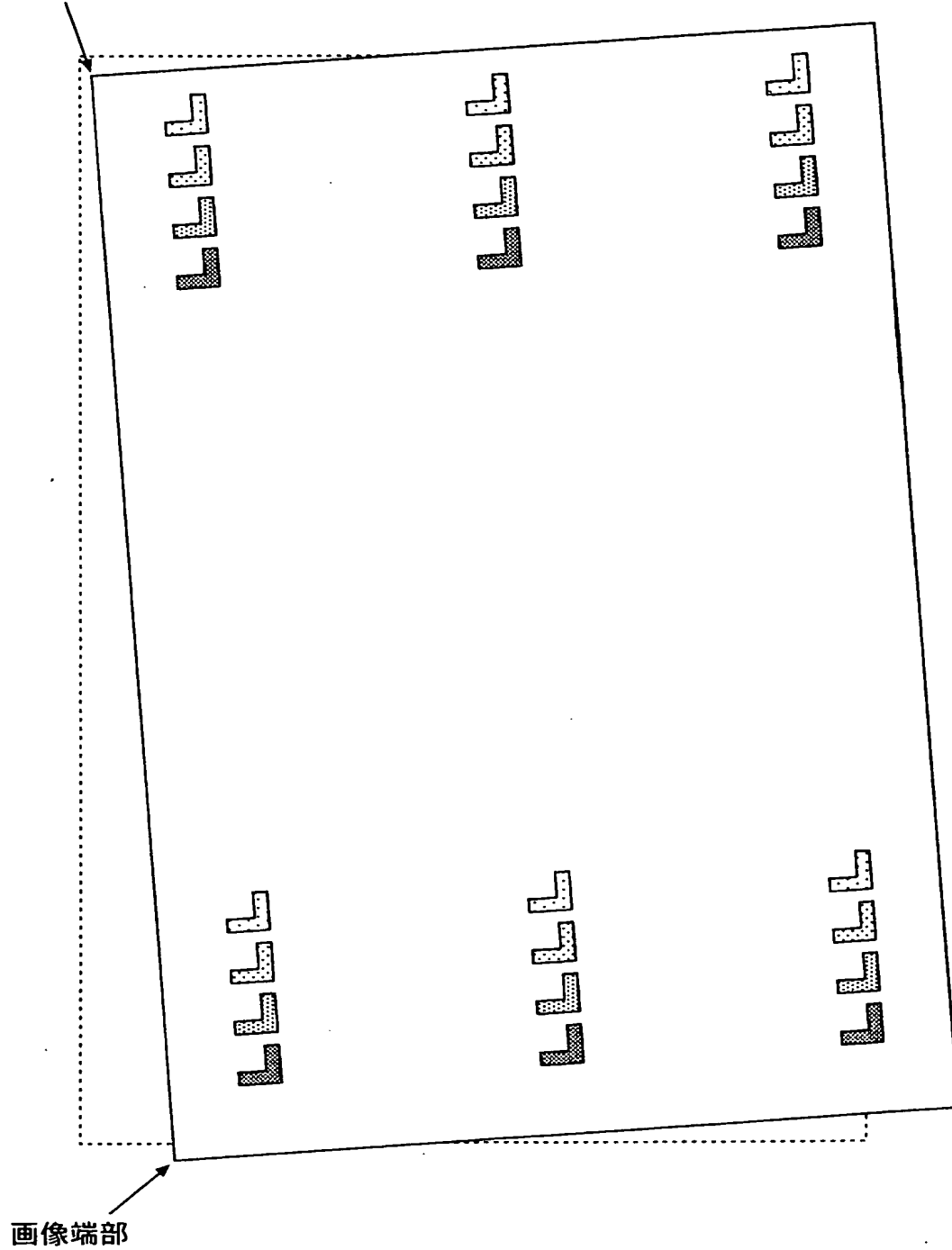


【図 15】

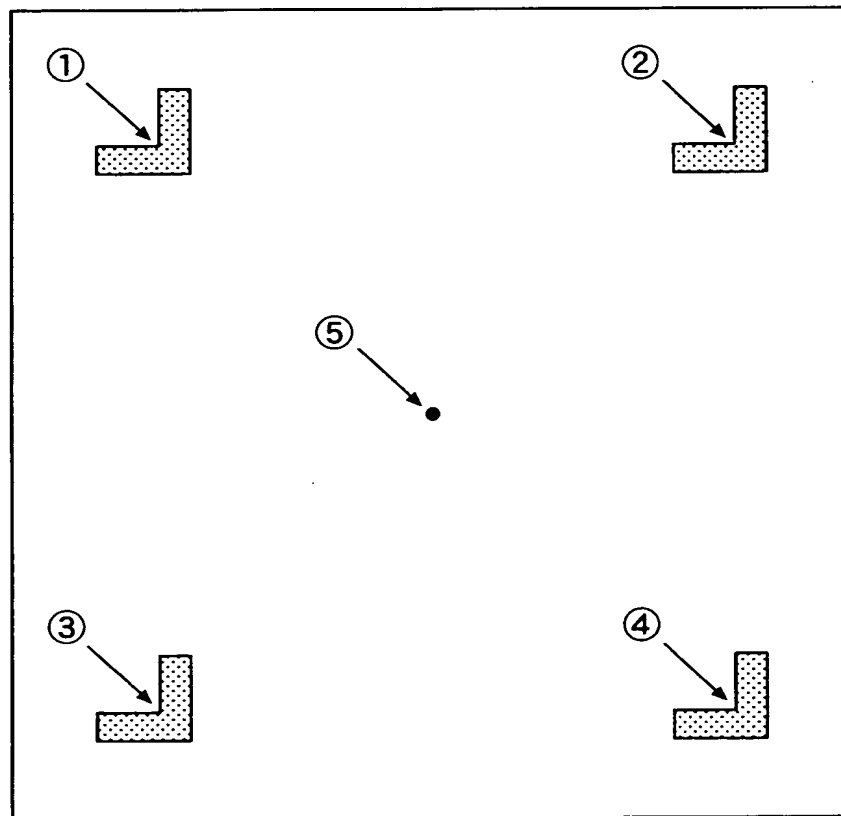


【図 16】

画像端部



【図 17】



【書類名】 要約書

【要約】

【課題】 遠隔から通信ネットワークを介して、画像形成装置における画像処理回路の動作試験、機能変更を可能にする。

【解決手段】 画像形成装置の管理システム 1 1 において、管理装置 2 0 0 は、画像形成装置 1 0 0 に対し、動作試験を指示するデータを送信する。画像形成装置 1 0 0 では、管理装置 2 0 0 からの動作試験指示に応じて、画像処理回路 1 0 3 において、試験用の画像に対し、所定の画像処理が施され、印刷出力部 1 0 5 において、その画像処理が施された画像が印刷用紙に印刷出力される。印刷用紙上に印刷された画像は、読取部 1 0 6 により読み取られ、判定部 1 0 7 では、その読み取られた画像と、予め決められた期待画像を比較することにより、画像処理回路 1 0 3 が正常に動作するか否かが判定される。判定部 1 0 7 における判定結果は、通信部 1 0 9 により管理装置 2 0 0 に送信される。

【選択図】 図 1

特願 2 0 0 3 - 1 4 7 9 0 0

出 願 人 履 歴 情 報

識別番号 [ 3 0 3 0 0 0 3 7 2 ]

1. 変更年月日 2 0 0 2 年 1 2 月 2 0 日  
[変更理由] 新規登録  
住 所 東京都新宿区西新宿 1 丁目 2 6 番 2 号  
氏 名 コニカビジネステクノロジーズ株式会社
2. 変更年月日 2 0 0 3 年 1 0 月 1 日  
[変更理由] 名称変更  
住所変更  
住 所 東京都千代田区丸の内一丁目 6 番 1 号  
氏 名 コニカミノルタビジネステクノロジーズ株式会社